

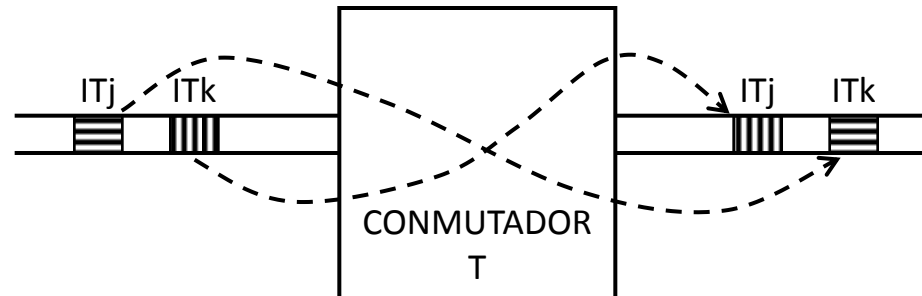


Universidad del Cauca
Facultad de Ingeniería Electrónica y Telecomunicaciones
Departamento de Telemática



Sistemas de Conmutación

Conmutadores Digitales



Dr. Ing. Álvaro Rendón Gallón
Popayán, agosto de 2018

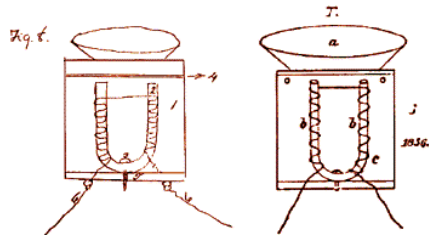


Temario

- Introducción
- Conmutador digital tipo S
- Conmutador digital tipo T
- Conmutador T para varios MIC
- Redes a etapas

Evolución de los conmutadores

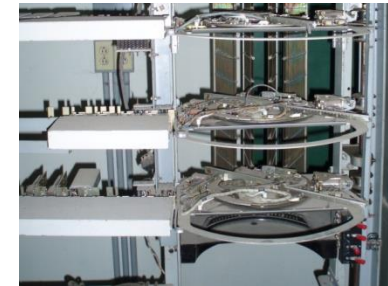
Teléfono de Meucci



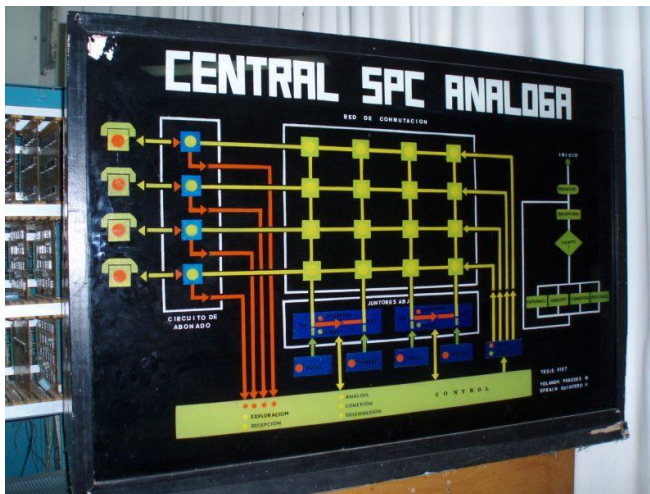
Conmutador manual



Selector electromecánico



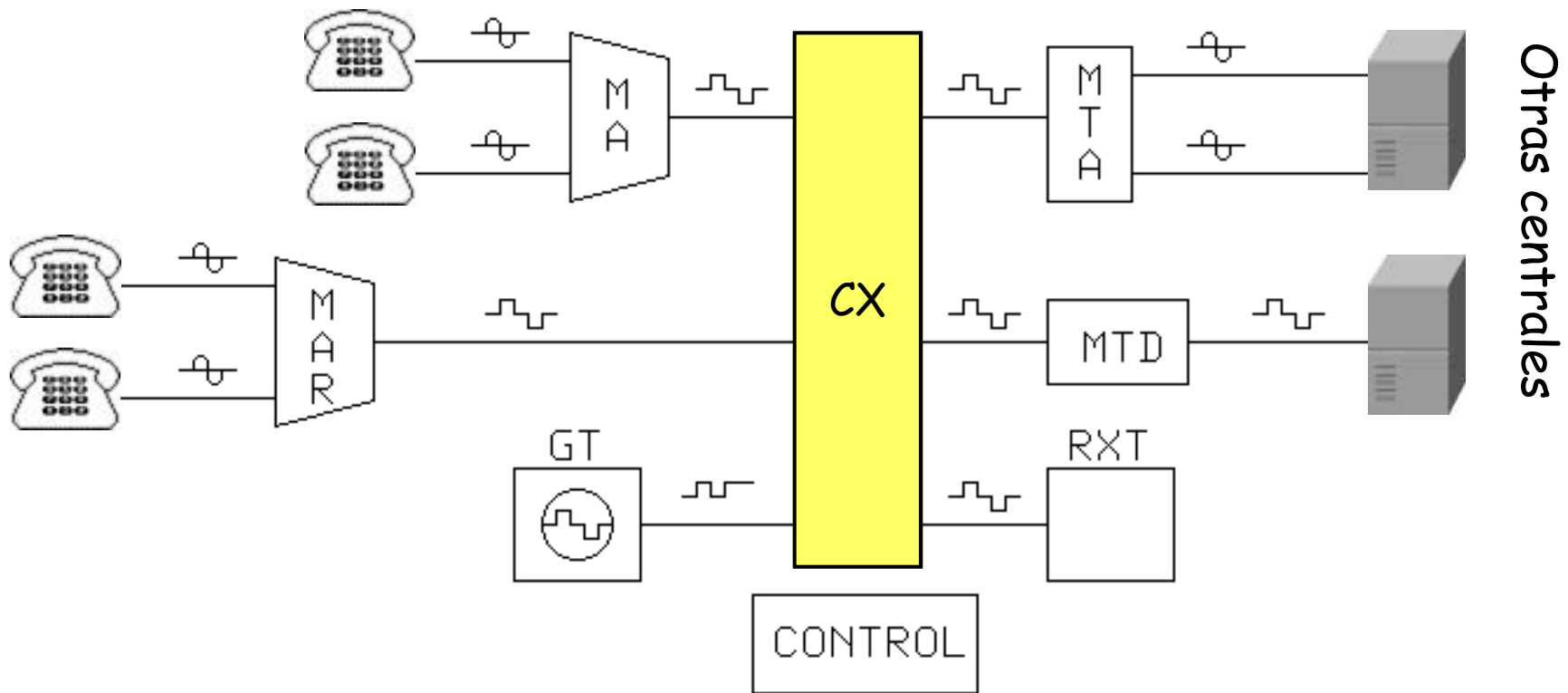
Puntos de cruce



Conmutador digital



Central Telefónica Digital

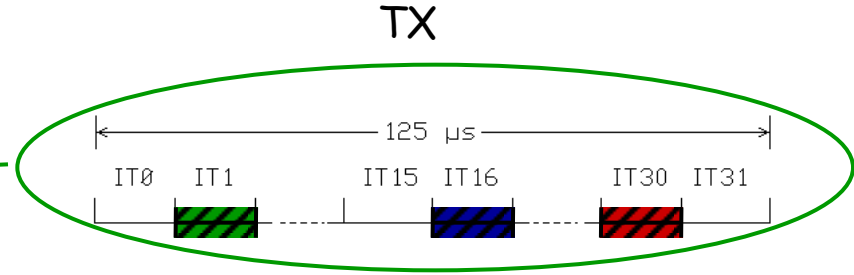
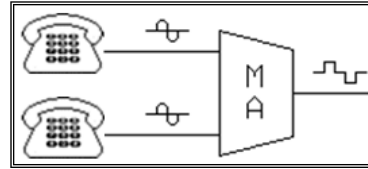
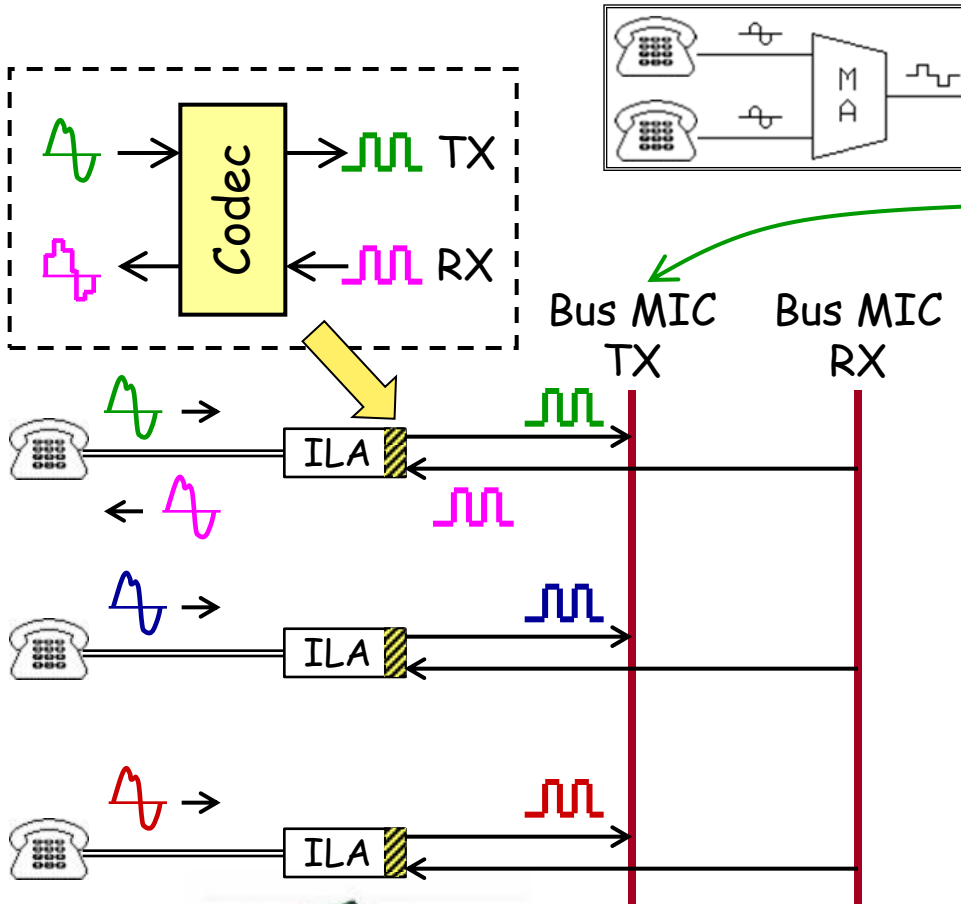


MA: Módulo de Abonados
MAR: Módulo de Abonados Remoto

MTA: Módulo de Troncales Analógicas
MTD: Módulo de Troncales Digitales
GT: Generador de Tonos
RxT: Receptor de Tonos



Buses MIC/PCM



Bus MIC TX: Las salidas de los códecs están unidas. Sólo uno puede transmitir en cada IT*

Bus MIC RX: Las entradas de los códecs están unidas. Sólo pueden recibir en un IT (por programación)

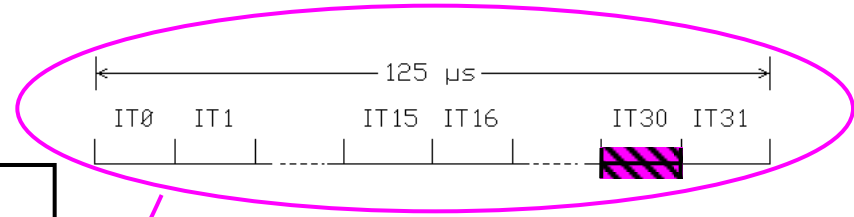
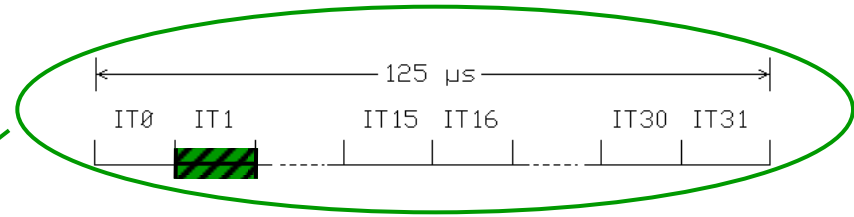
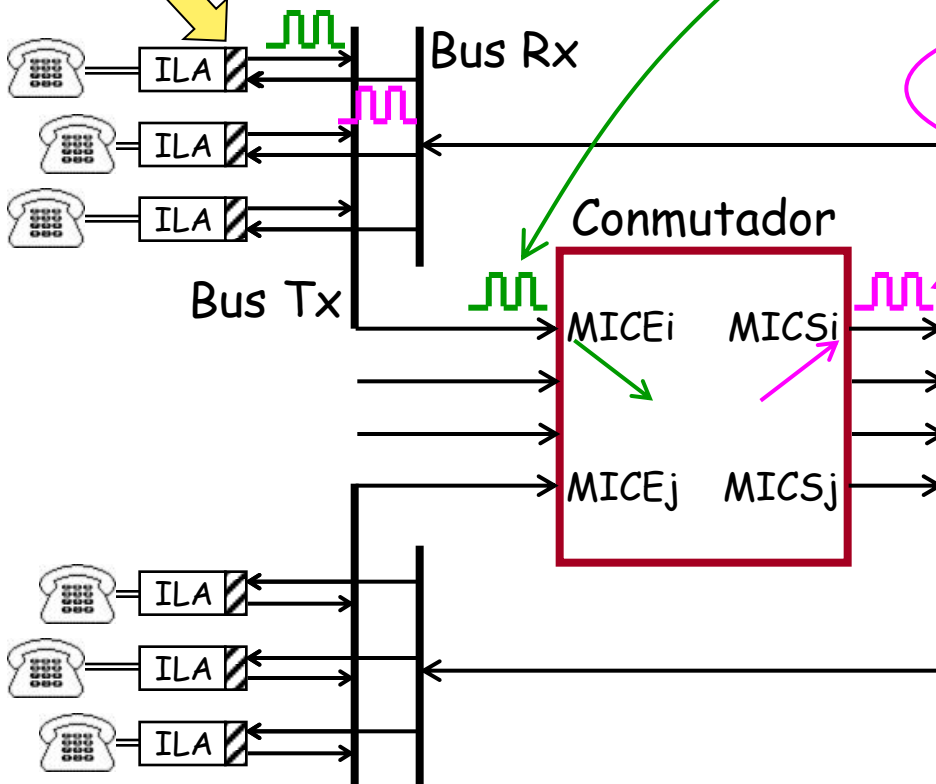
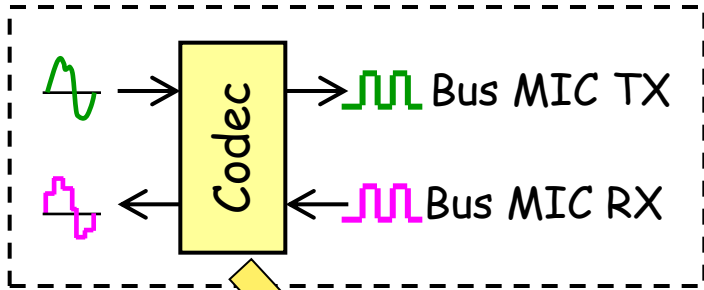


*Tri-State

c	a	f
0	0	Z
0	1	Z
1	0	0
1	1	1



Conmutador Digital

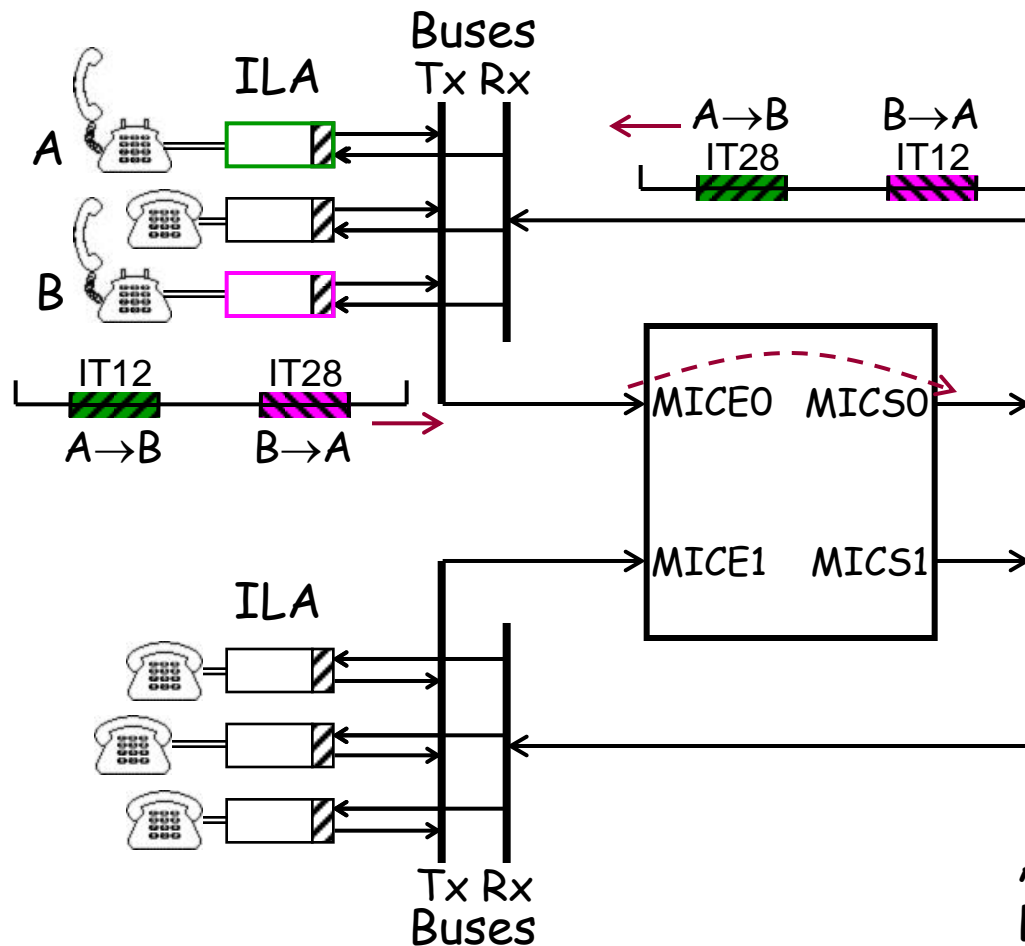


Las entradas y salidas del conmutador son buses MIC/PCM





Tipos de Conmutador Digital



Caso 1:

Abonados del mismo Bus MIC

Los Codec se programan:

- mismo IT para Tx y Rx
- un IT para cada abonado

	TX	RX
A	12	12
B	28	28

A → B: MICE0, IT12 → MICS0, IT28

B → A: MICE0, IT28 → MICS0, IT12

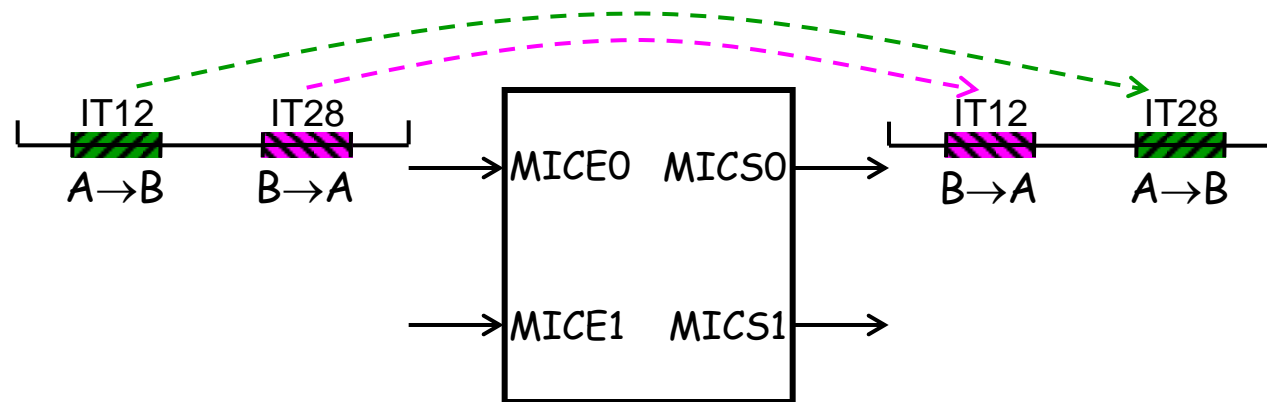


Tipos de Conmutador Digital

A → B: MICE0, IT12 → MICS0, IT28

B → A: MICE0, IT28 → MICS0, IT12

	TX	RX
A	12	12
B	28	28

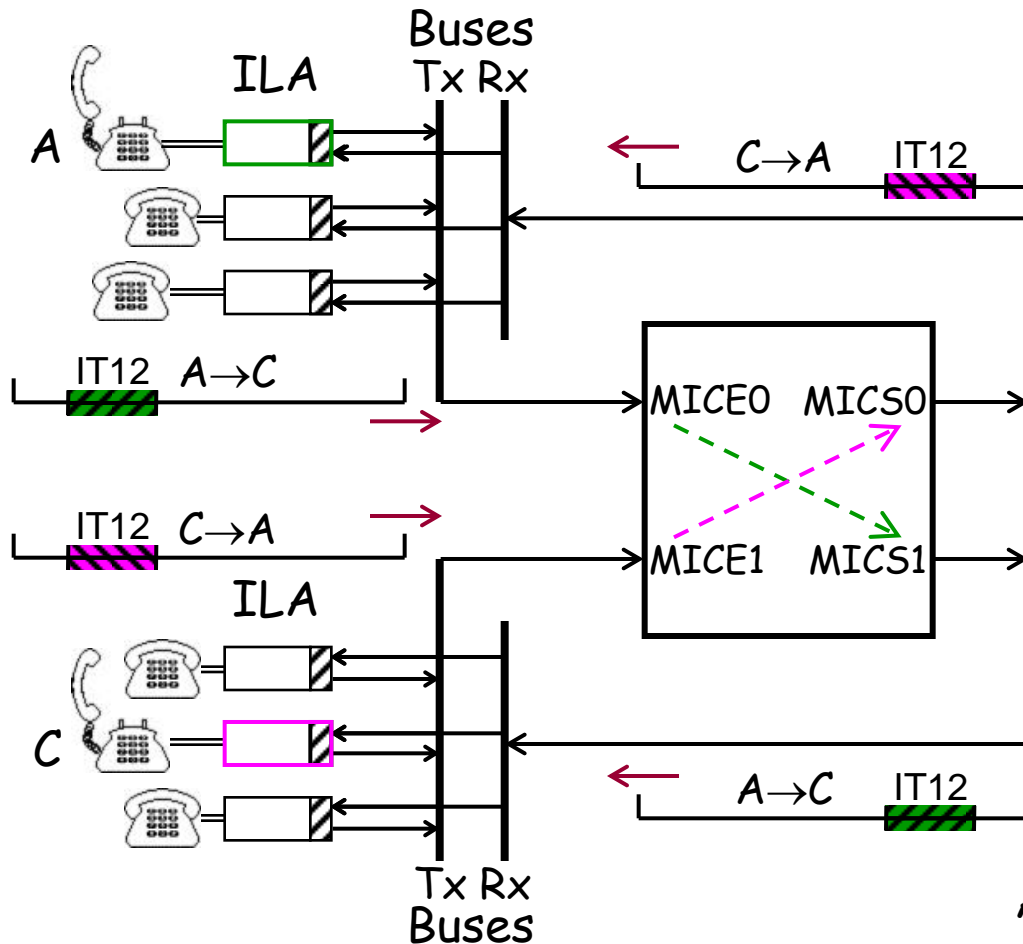


El conmutador traslada un octeto de un IT a otro en el mismo bus MIC:

Conmutador Digital Tipo T (*Time Switch*)



Tipos de Conmutador Digital



Caso 2A:

Abonados en distinto Bus MIC

Los Codec se programan:

- mismo IT para Tx y Rx
- mismo IT para los abonados

	TX	RX
A	12	12
C	12	12

A→C: MICE0, IT12 → MICS1, IT12

C→A: MICE1, IT12 → MICS0, IT12

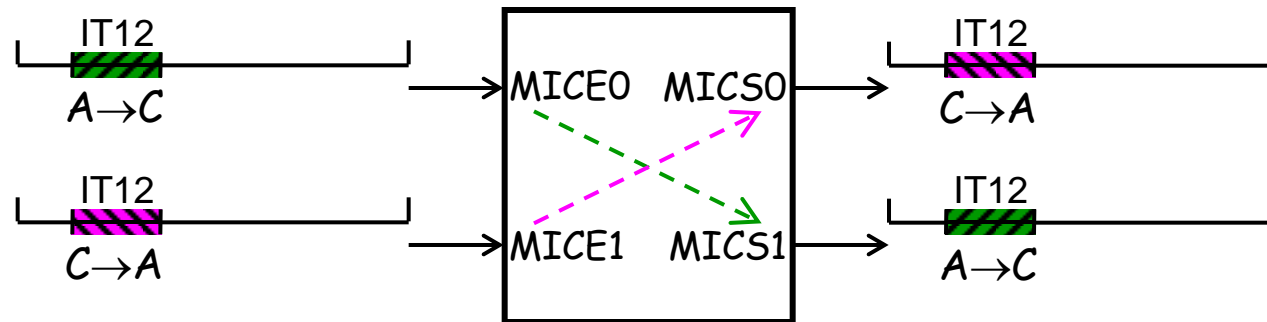


Tipos de Conmutador Digital

A→C: MICE0, IT12 → MICS1, IT12

C→A: MICE1, IT12 → MICS0, IT12

	TX	RX
A	12	12
C	12	12

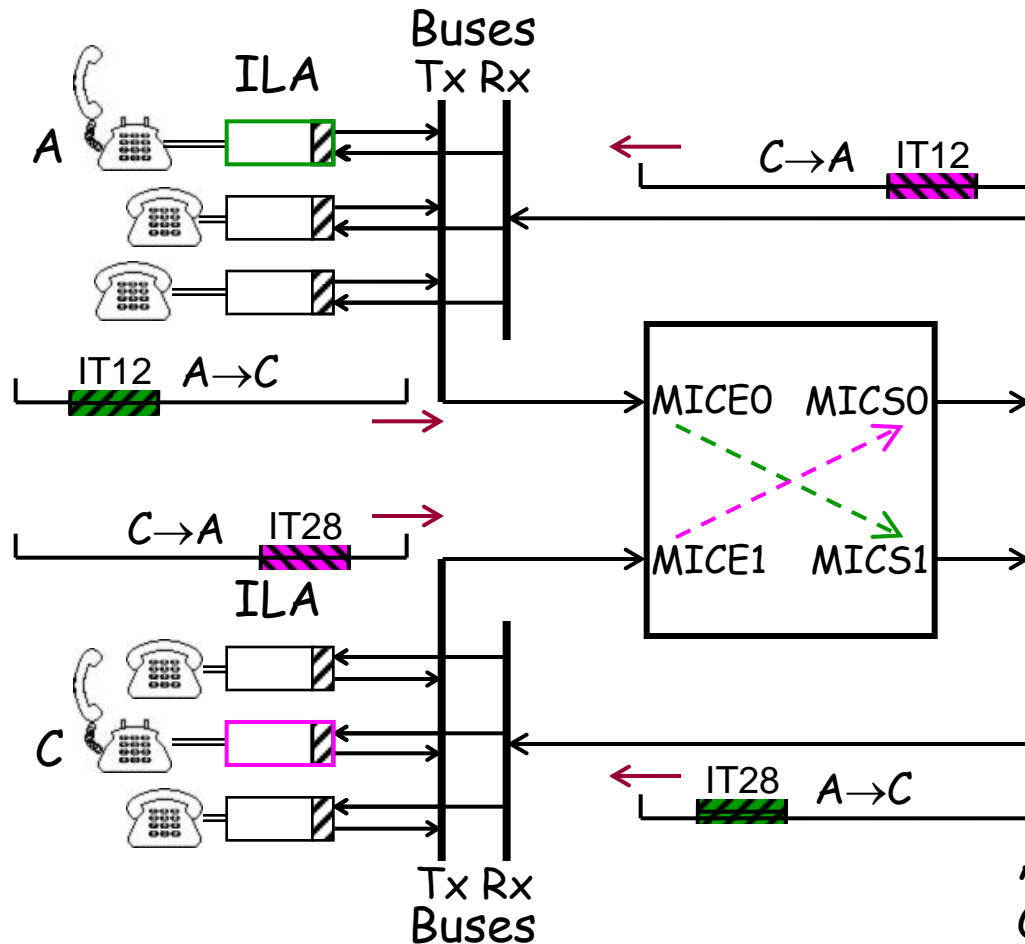


El conmutador traslada un octeto de un bus MIC a otro en el mismo IT:

Conmutador Digital Tipo S (*Space Switch*)



Tipos de Conmutador Digital



Caso 2B:

Abonados en distinto Bus MIC

Los Codec se programan:

- mismo IT para Tx y Rx
- un IT para cada abonado

	TX	RX
A	12	12
C	28	28

A→C: MICE0, IT12 → MICS1, IT28

C→A: MICE1, IT28 → MICS0, IT12

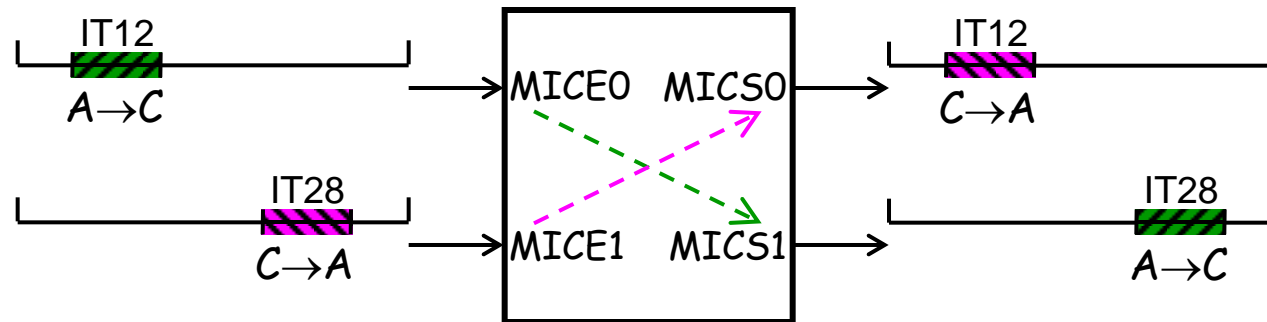


Tipos de Conmutador Digital

$A \rightarrow C$: MICE0, IT12 \rightarrow MICS1, IT28

$C \rightarrow A$: MICE1, IT28 \rightarrow MICS0, IT12

	TX	RX
A	12	12
C	28	28



El conmutador traslada un octeto de un bus MIC a otro
y de un IT a otro:

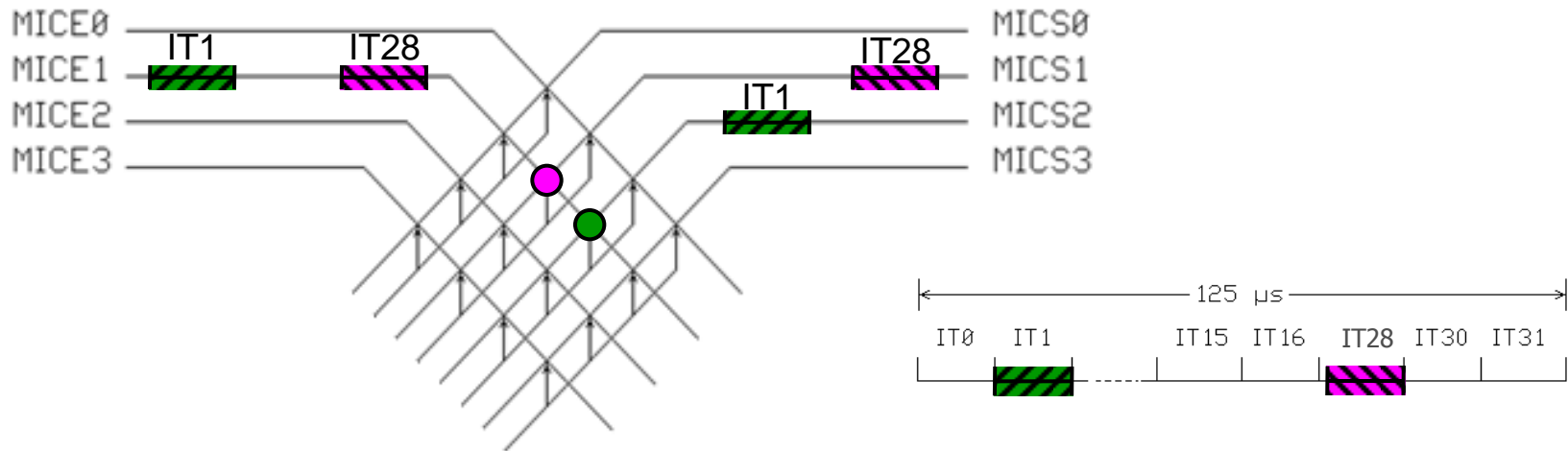
Conmutador Digital Tipo T para varios MIC



Temario

- Introducción
- **Conmutador digital tipo S**
- Conmutador digital tipo T
- Conmutador T para varios MIC
- Redes a etapas

Conmutador Digital Tipo S

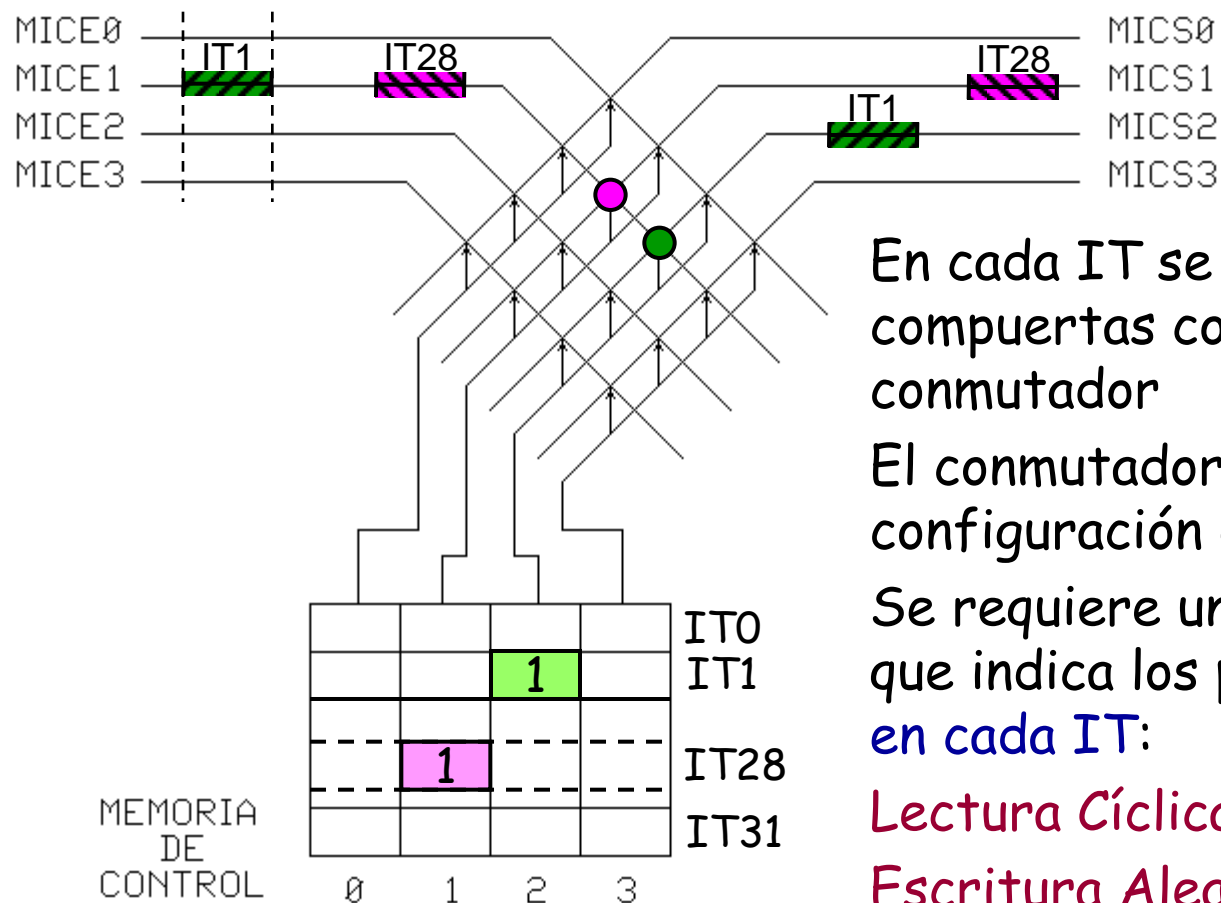


Se implementa mediante compuertas que forman una matriz de puntos de cruce: **Matriz Espacial**

Para hacer la conmutación, una compuerta:

- Debe permanecer cerrada el tiempo de un IT (3.900 ns) para que pase todo el octeto
- Debe cerrarse una vez cada trama (125 μs) para que pasen los octetos de la misma llamada

Conmutador Digital Tipo S



En cada IT se cierran tantas compuertas como MIC tiene el conmutador

El conmutador espacial tiene una configuración distinta en cada IT

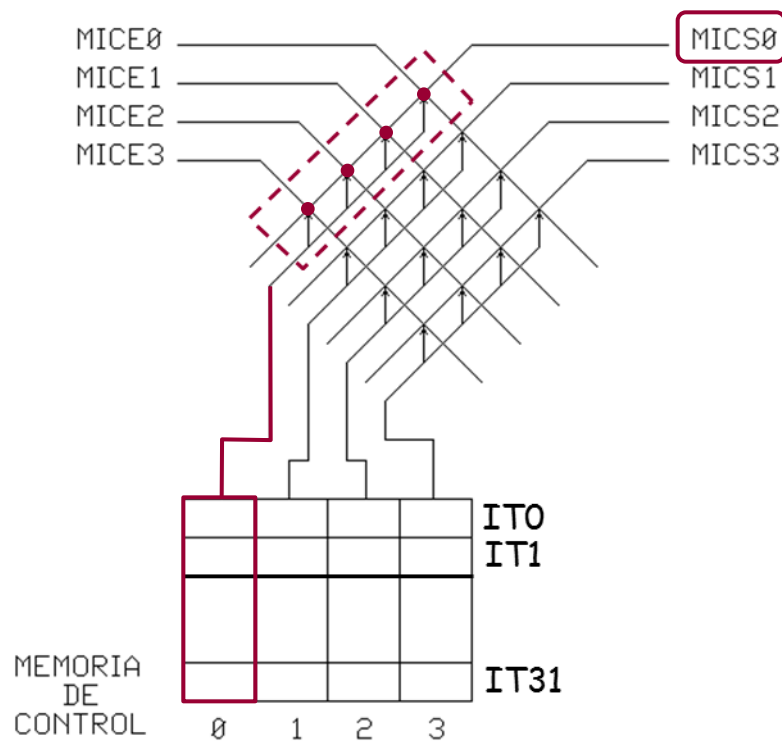
Se requiere una **Memoria de Control** que indica los puntos a cerrar en cada IT:

Lectura Cíclica (una localidad por IT)

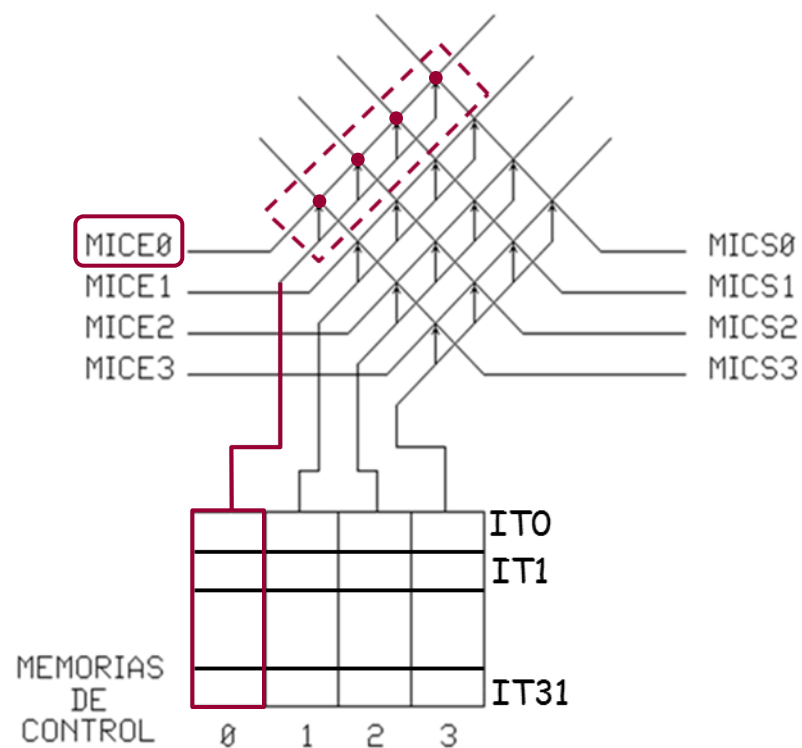
Escritura Aleatoria (programación del control)

Conmutador Digital Tipo S

Dos clases de conmutadores tipo S:

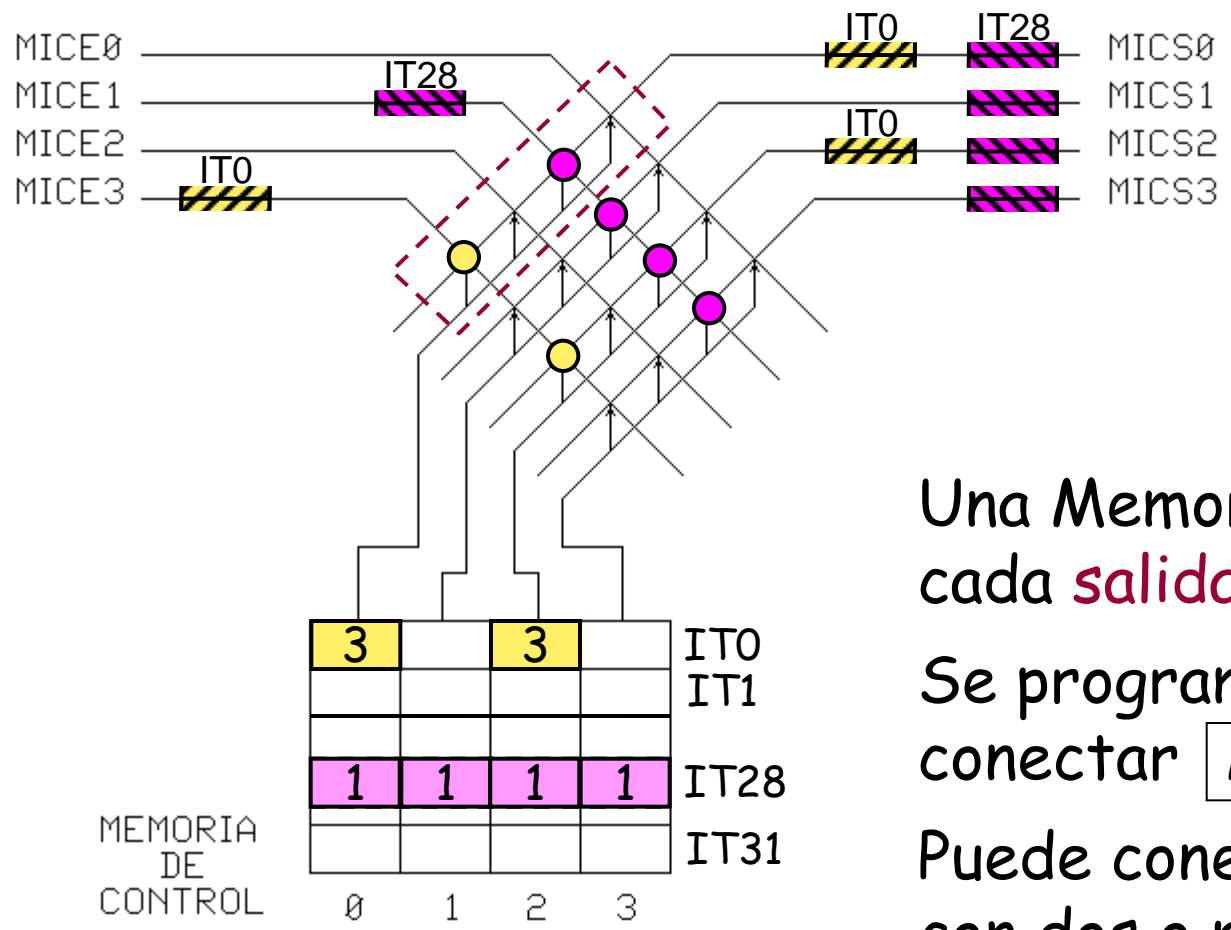


Control por la Salida: Una memoria de Control para cada salida.
Se programa la entrada a conectar



Control por la Entrada: Una memoria de control para cada entrada.
Se programa la salida a conectar

Conmutador Digital Tipo S con control por la salida

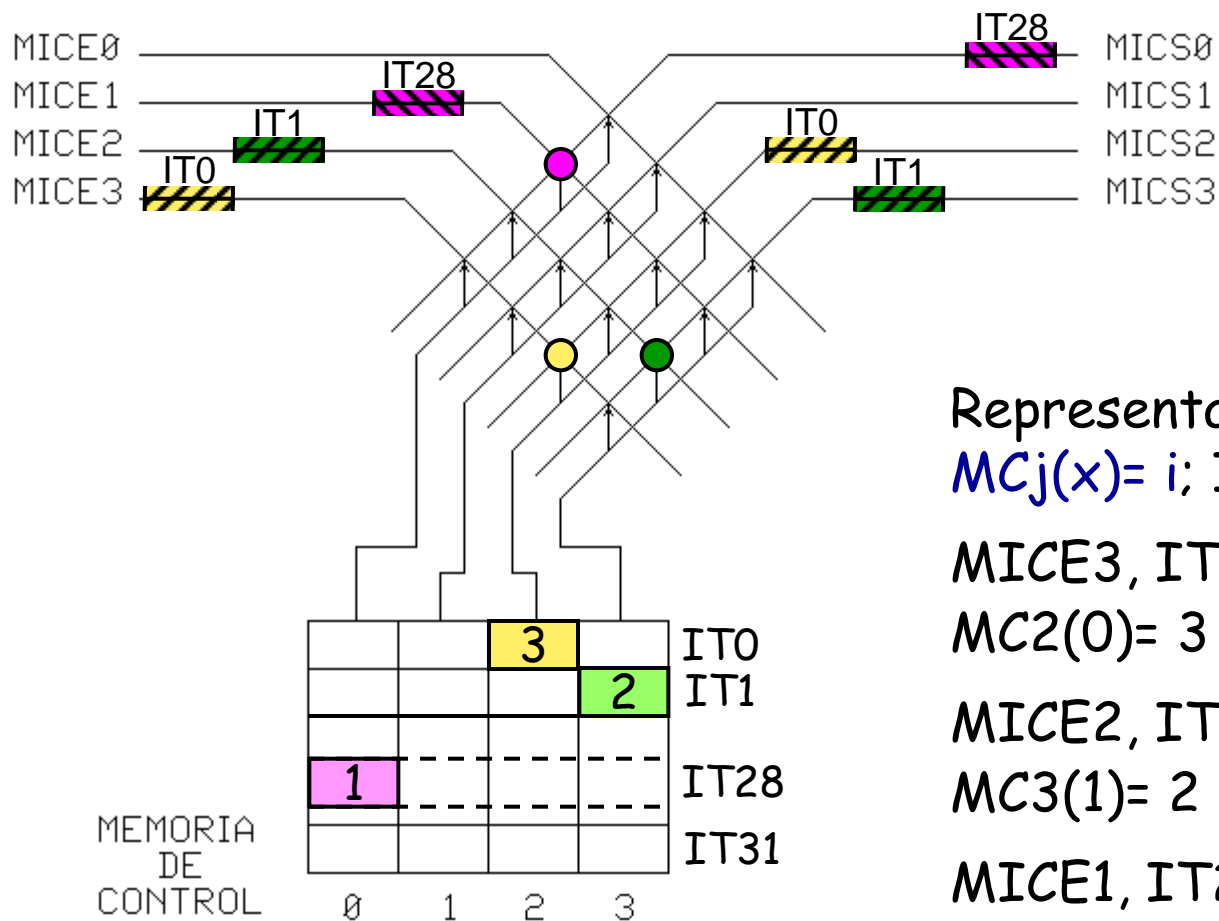


Una Memoria de Control para cada salida

Se programa la entrada a conectar $MCO(0) = 3$

Puede conectar una entrada con dos o más salidas:
difusión

Conmutador Digital Tipo S con control por la salida



Representación de las conexiones:

$MC_j(x) = i; IT_x, MICE_i \rightarrow MICS_j$

$MICE_3, IT_0 \rightarrow MICS_2, IT_0$

$MC_2(0) = 3$

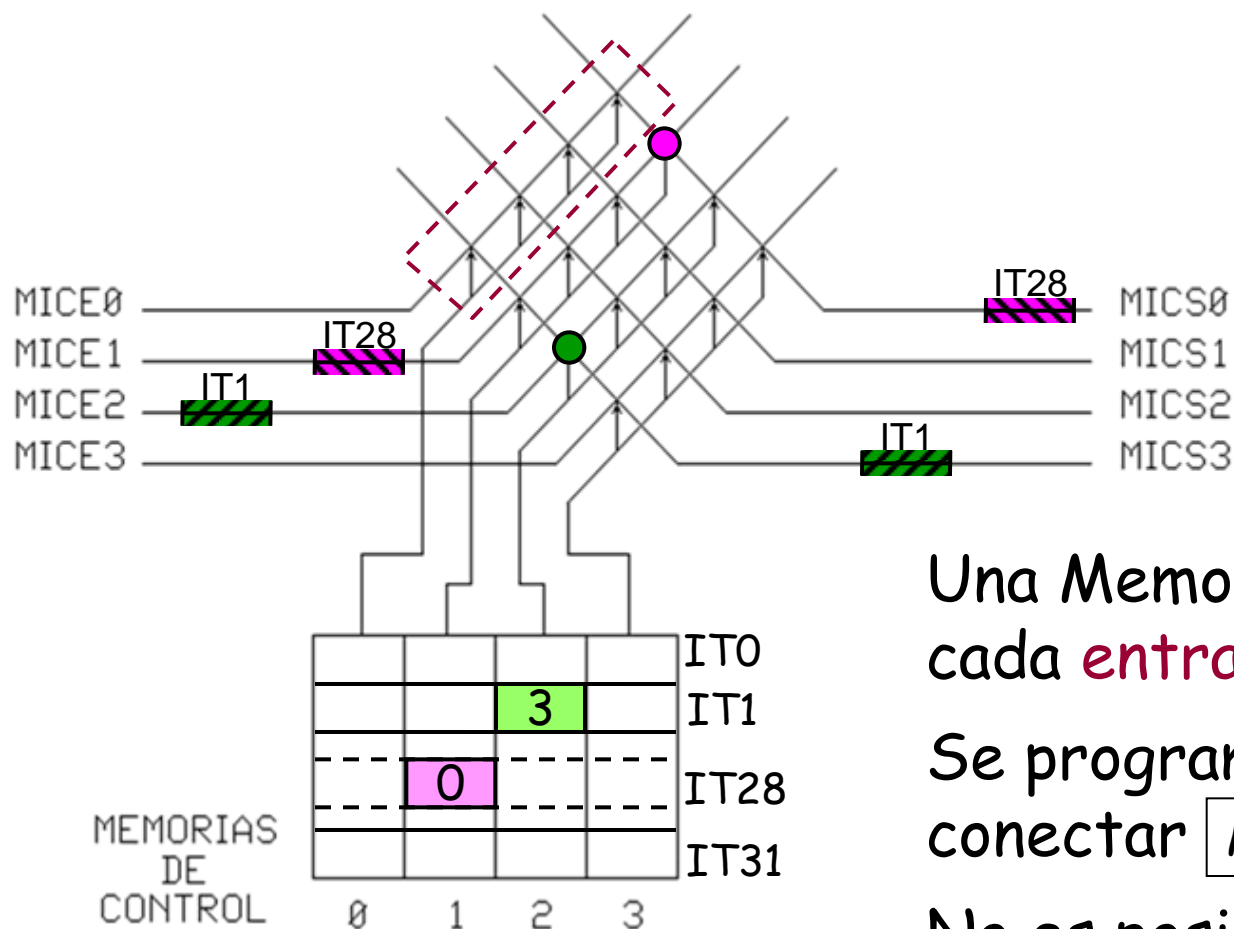
$MICE_2, IT_1 \rightarrow MICS_3, IT_1$

$MC_3(1) = 2$

$MICE_1, IT_{28} \rightarrow MICS_0, IT_{28}$

$MC_0(28) = 1$

Conmutador Digital Tipo S con control por la entrada



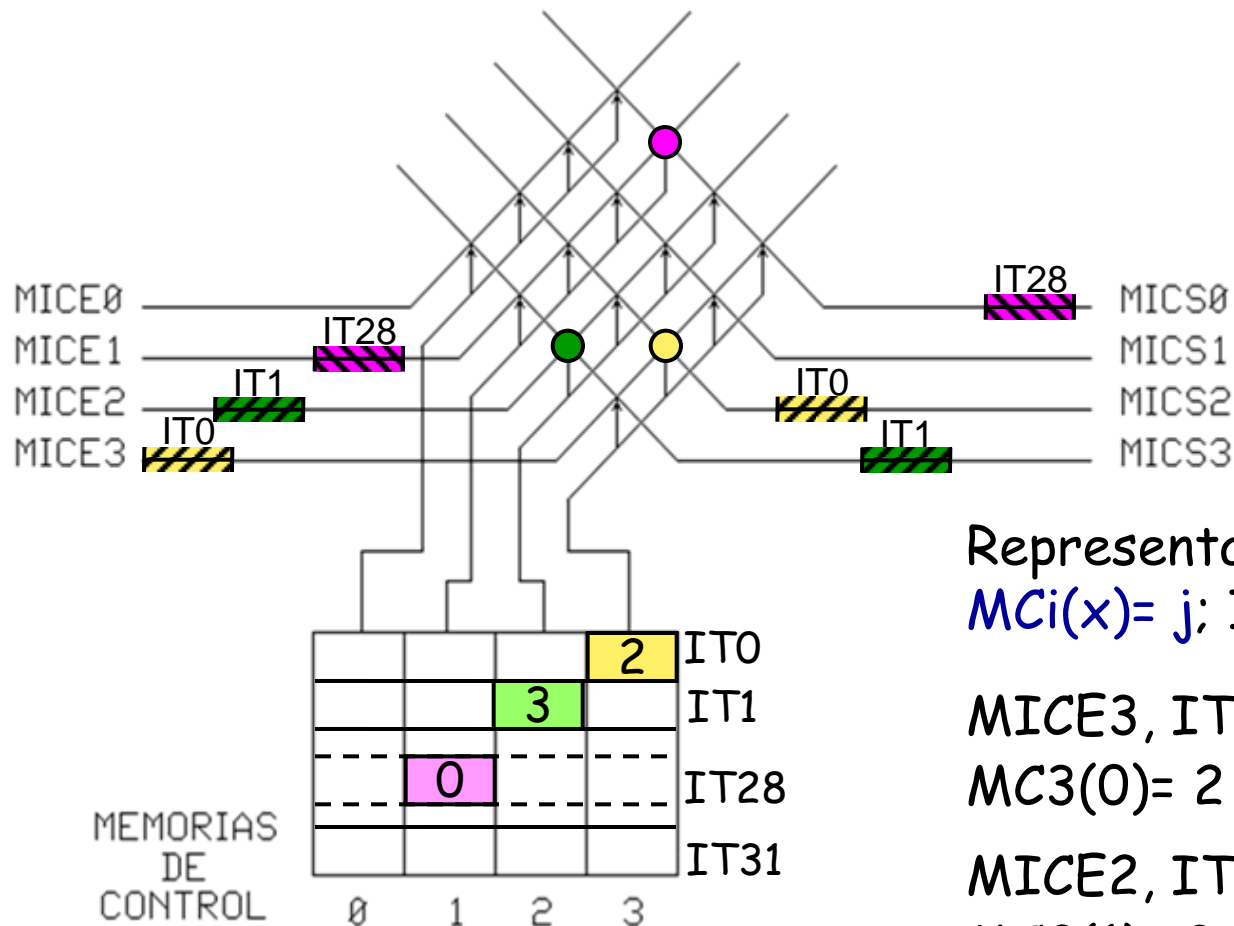
Una Memoria de Control para cada **entrada**

Se programa la salida a conectar $MC1(28) = 0$

No es posible la difusión



Conmutador Digital Tipo S con control por la entrada



Representación de las conexiones:
 $MC_i(x) = j; IT_x, MICE_i \rightarrow MICS_j$

$MICE_3, IT_0 \rightarrow MICS_2, IT_0$

$MC_3(0) = 2$

$MICE_2, IT_1 \rightarrow MICS_3, IT_1$

$MC_2(1) = 3$

$MICE_1, IT_{28} \rightarrow MICS_0, IT_{28}$

$MC_1(28) = 0$

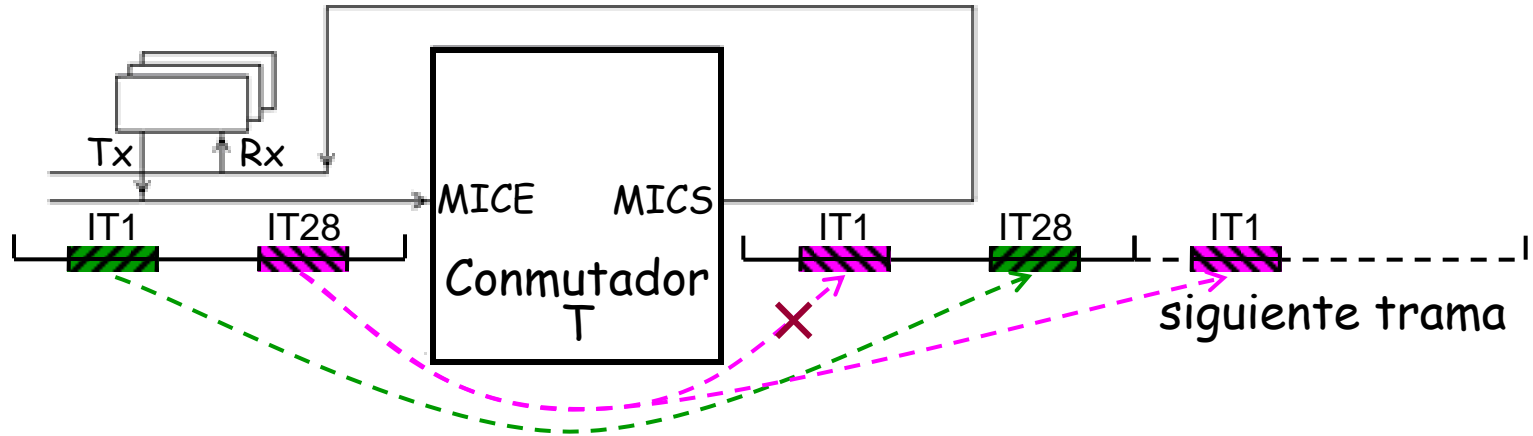


Temario

- Introducción
- Conmutador digital tipo S
- Conmutador digital tipo T
- Conmutador T para varios MIC
- Redes a etapas



Conmutador Digital Tipo T



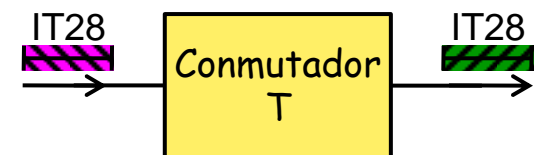
Traslada un octeto de un IT a otro en el mismo bus MIC

Los octetos se retrasan entre el IT de llegada y el IT de salida

Para ello se guardan temporalmente en una

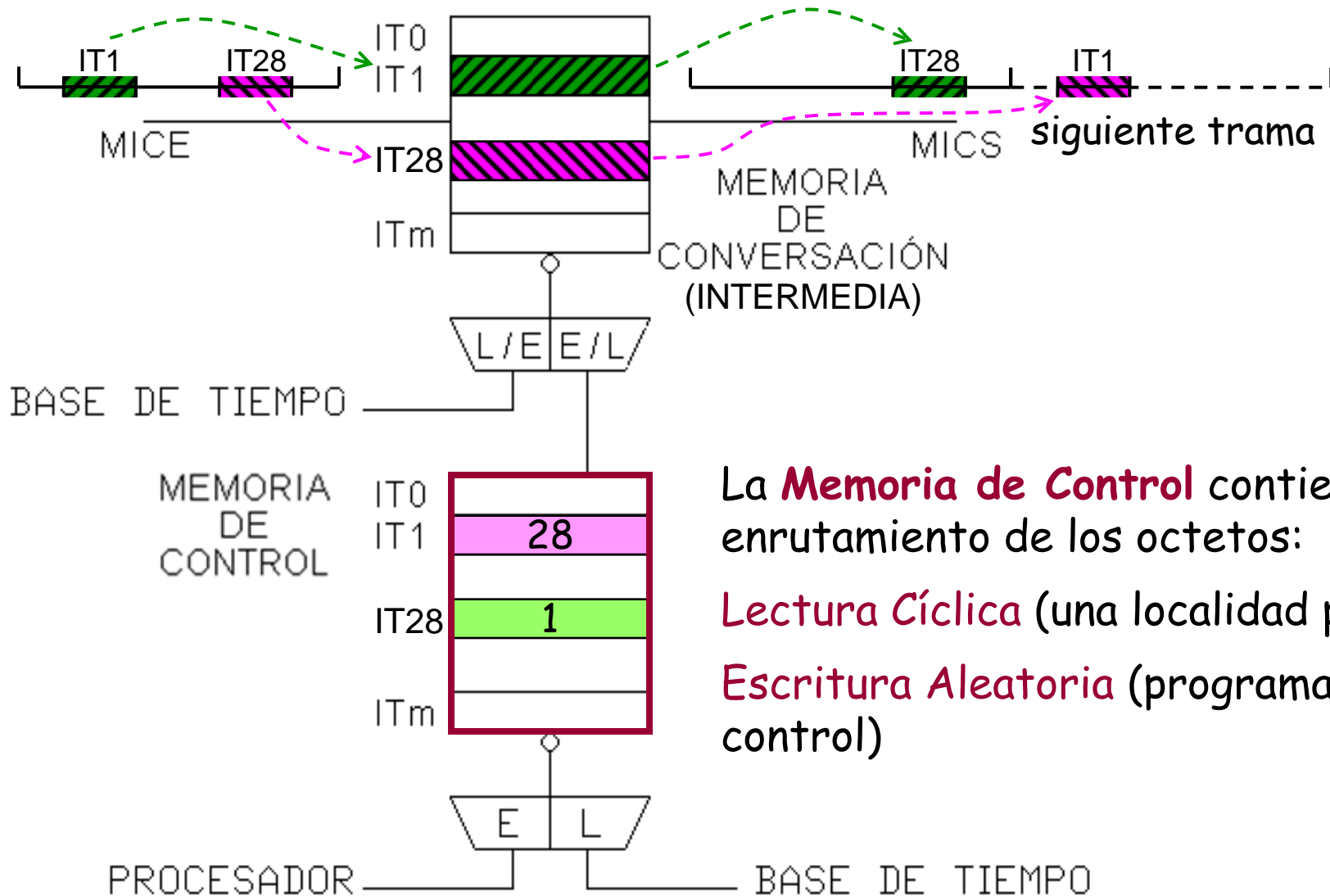
Memoria de Conversación o Memoria Intermedia

En cada IT, en la Memoria Intermedia se lee el octeto de salida y se escribe el de entrada. Ej: IT28





Conmutador Digital Tipo T



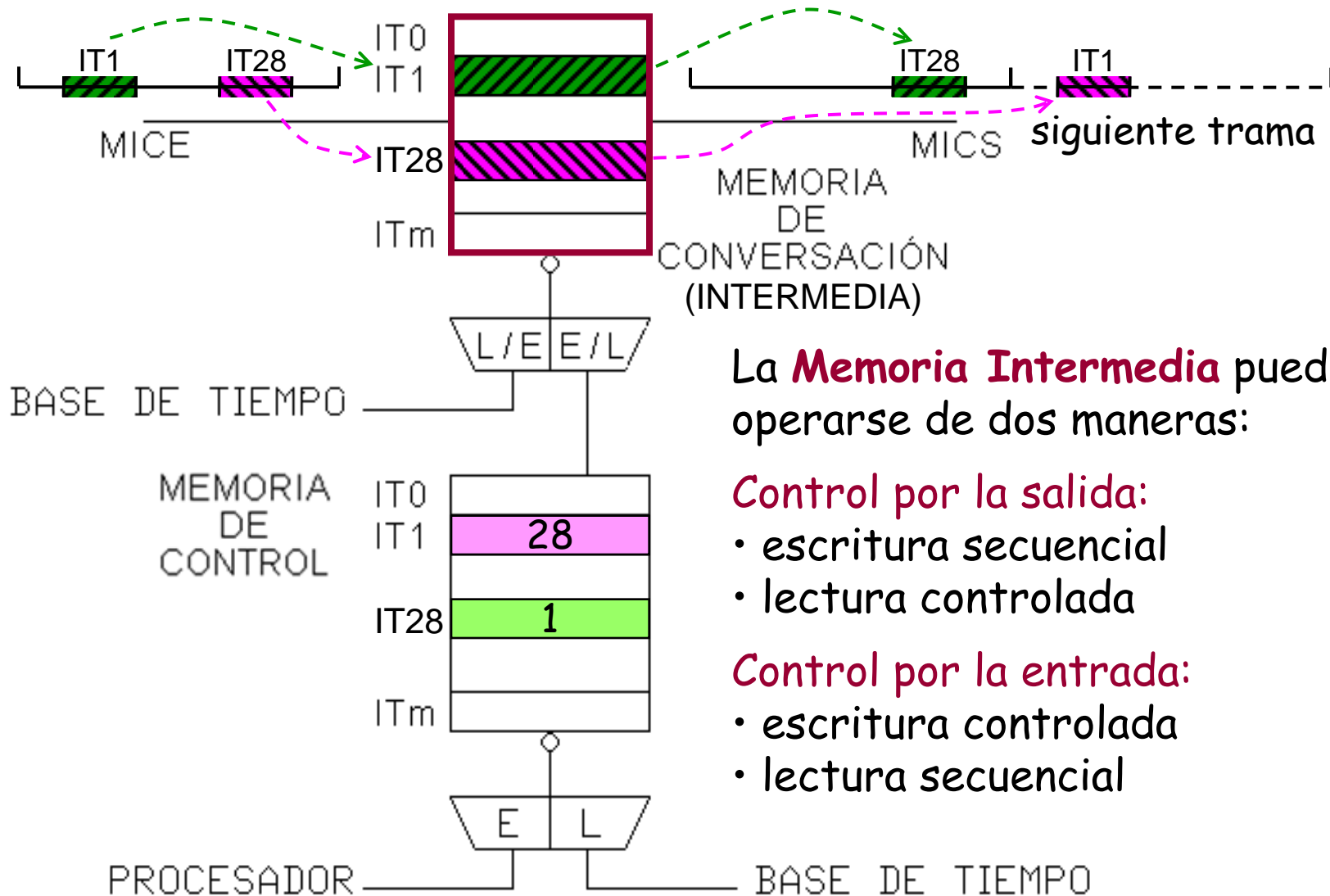
La **Memoria de Control** contiene el enrutamiento de los octetos:

Lectura Cíclica (una localidad por IT)

Escritura Aleatoria (programación del control)



Conmutador Digital Tipo T



La **Memoria Intermedia** puede operarse de dos maneras:

Control por la salida:

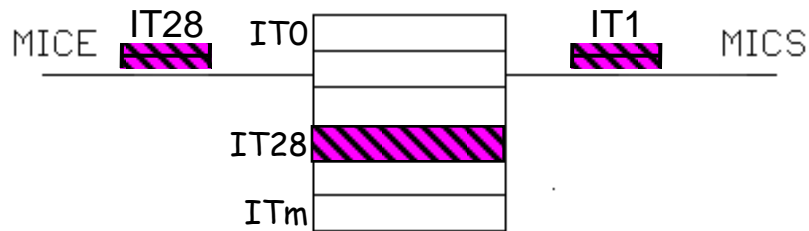
- escritura secuencial
- lectura controlada

Control por la entrada:

- escritura controlada
- lectura secuencial

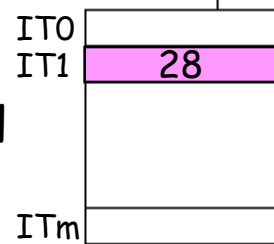
Conmutador Digital tipo T con control por la salida

Memoria Intermedia



Memoria Intermedia: Los octetos se guardan en el orden en que llegan

Memoria de Control



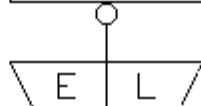
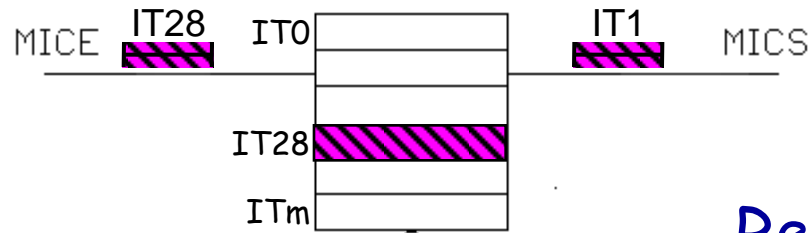
Memoria de Control: Selecciona el octeto que debe entregarse en cada IT

PROCESADOR

BASE DE TIEMPO

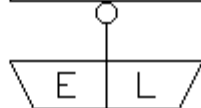
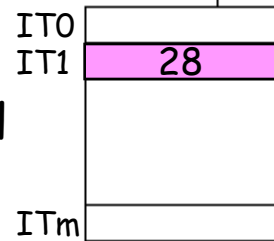
Conmutador Digital tipo T con control por la salida

Memoria Intermedia



BASE DE TIEMPO

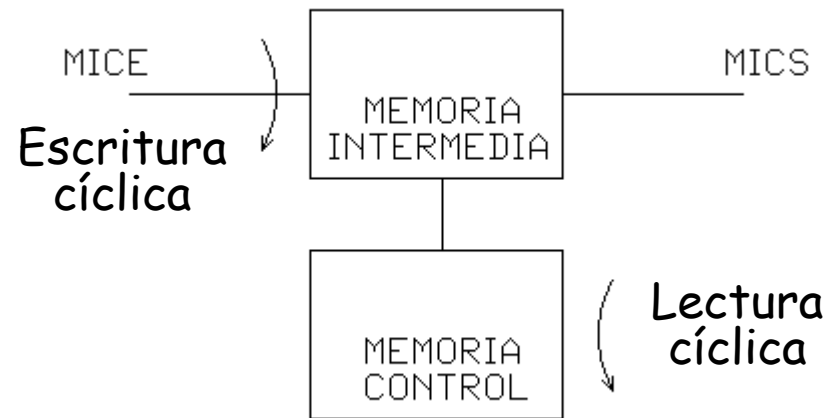
Memoria de Control



PROCESADOR

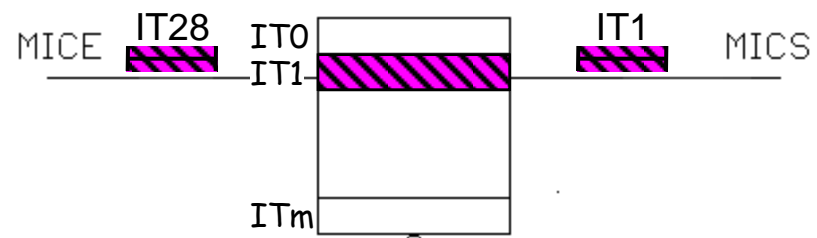
BASE DE TIEMPO

Representación esquemática



Conmutador Digital tipo T con control por la entrada

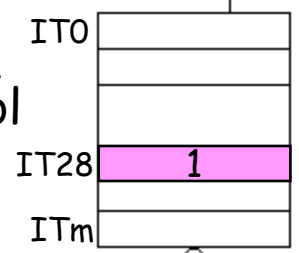
Memoria Intermedia



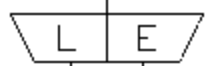
Memoria Intermedia: Los octetos se guardan en el orden establecido por la Memoria de Control y se leen en el orden de almacenamiento

Memoria de Control: Selecciona la localidad donde se almacena el octeto recibido en cada IT

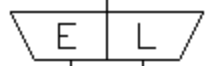
Memoria de Control



BASE DE TIEMPO



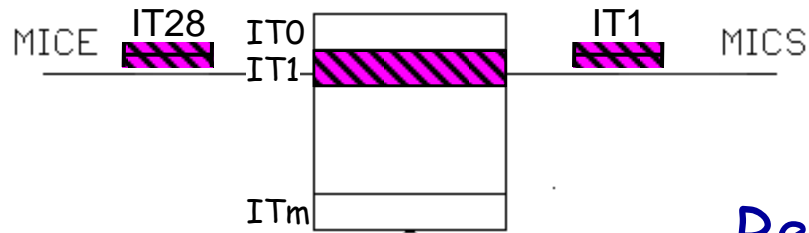
PROCESADOR



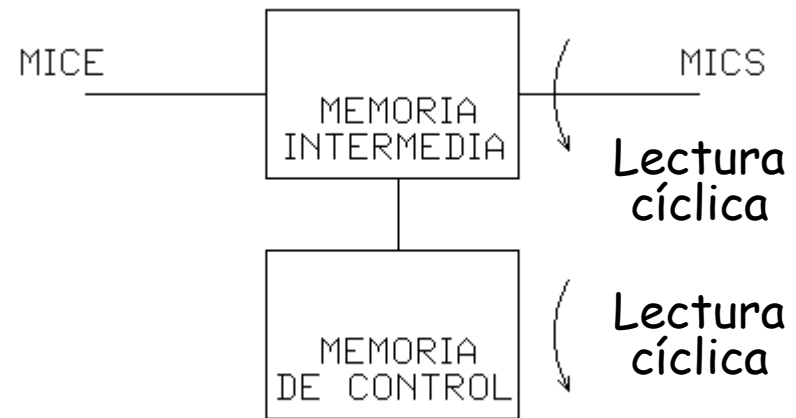
BASE DE TIEMPO

Conmutador Digital tipo T con control por la entrada

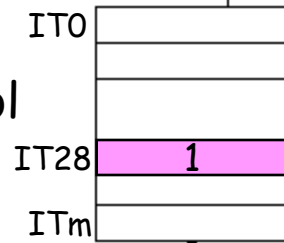
Memoria Intermedia



Representación esquemática

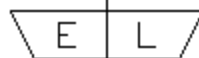
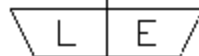


Memoria de Control



PROCESADOR

BASE DE TIEMPO



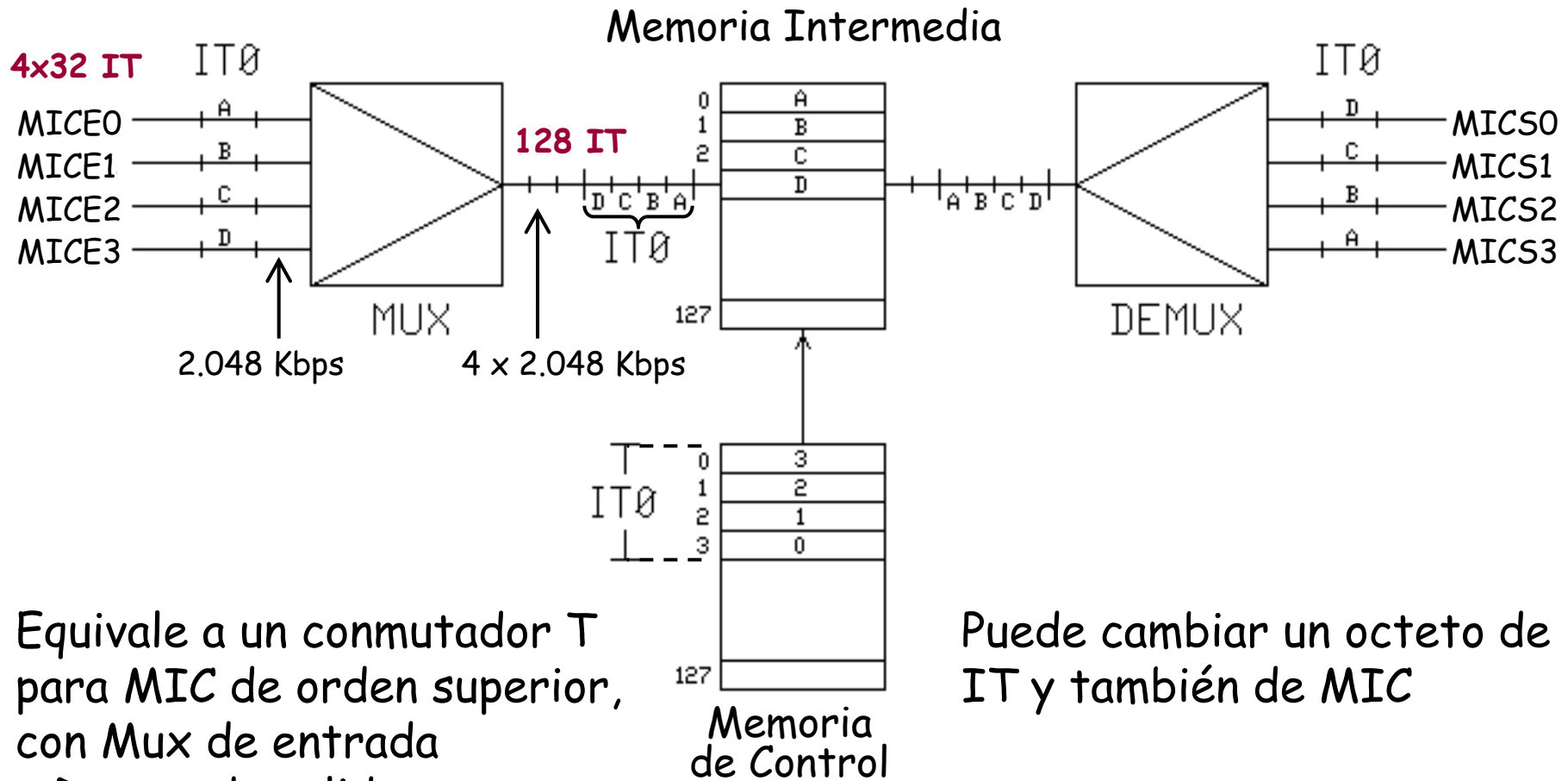


Temario

- Introducción
- Conmutador digital tipo S
- Conmutador digital tipo T
- Conmutador T para varios MIC
- Redes a etapas



Conmutador T para varios MIC

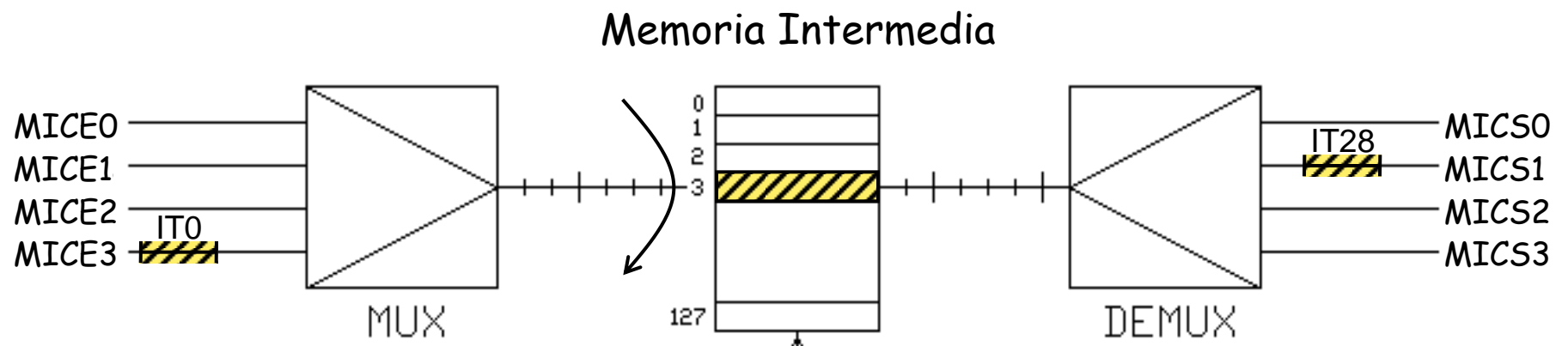


Equivale a un conmutador T para MIC de orden superior, con Mux de entrada y Demux de salida

Puede cambiar un octeto de IT y también de MIC

Es un conmutador sin bloqueo

Conmutador T para varios MIC



Cálculo de una posición de memoria (en MI o MC):

$$P = (n \times IT) + MIC$$

n= No. de MIC del conmutador

Ej.: Conexión con control por la salida:

$$MICE3, ITO \rightarrow MICS1, IT28$$

El octeto se guarda en MI en:

$$P = 4 \times 0 + 3 = 3 \text{ (MICE3, ITO)}$$

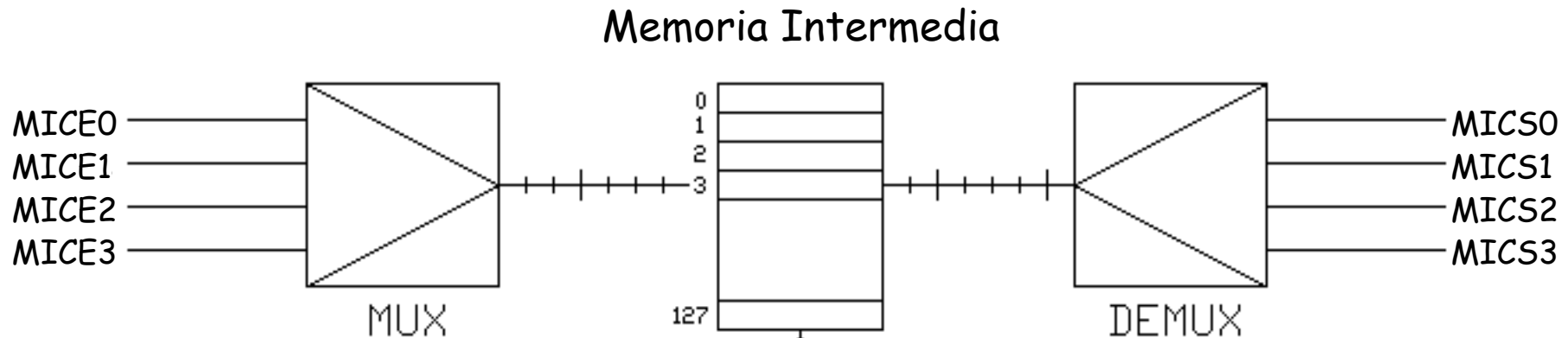
La salida se controla en MC en:

$$P = 4 \times 28 + 1 = 113 \text{ (MICS1, IT28)}$$

$$MC(113) = 3$$



Conmutador T para varios MIC



$n = \text{No. de MIC} = 4$
 $m = \text{No. de IT} = 32$

Características de MI:

Capacidad:

- Localidades = $n \times m = 128$
- Ancho = 8 bits

Velocidad:

- Lecturas/125 μs : $n \times m = 128$
- Escrituras/125 μs : $n \times m = 128$
- Operaciones r/w por 125 μs : 256

Características de MC:

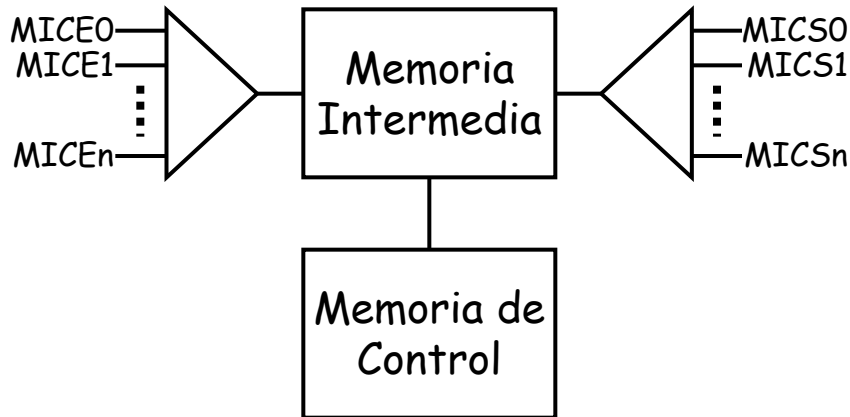
Capacidad:

- Localidades = $n \times m = 128$
- Ancho = $\log_2(n \times m) = 7$ bits

Velocidad:

- Lecturas/125 μs : $n \times m = 128$
- Escrituras: 1 en cada conexión
- Operac. r/w por 125 μs : 128+

Conmutador T para varios MIC



Los conmutadores T son más económicos que los conmutadores S por el uso de las memorias RAM

Sin embargo, su tamaño está limitado por la velocidad de las memorias.

Tiempo de acceso de MI:

$$t_{\text{acceso}} = \frac{125 \mu\text{s}}{2 \times n \times m}$$

n = No. de MIC

m = No. de IT por MIC

Para un conmutador de 32 MIC primarios:

$$t_{\text{acceso}} = \frac{125 \mu\text{s}}{2 \times 32 \times 32} = 61 \text{ ns}$$

El tiempo de acceso promedio de una memoria RAM es de 60 ns



Temario

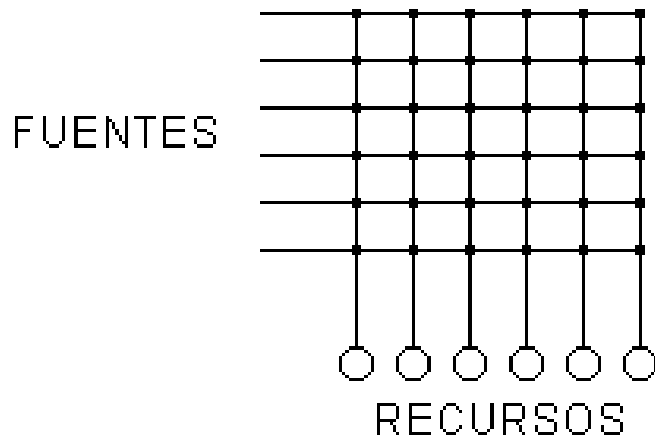
- Introducción
 - Conmutador digital tipo S
 - Conmutador digital tipo T
 - Conmutador T para varios MIC
- *Redes a etapas*



Accesibilidad y bloqueo

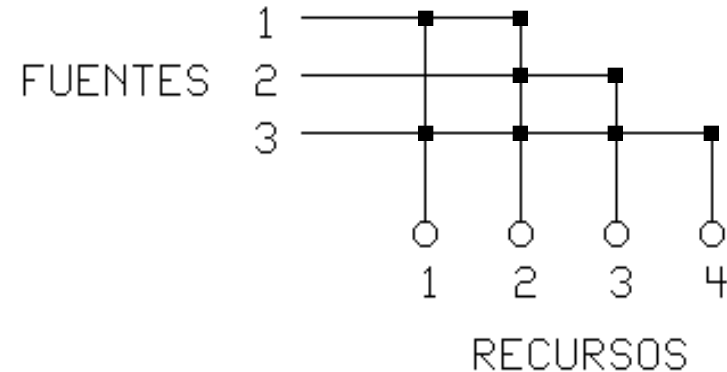
Accesibilidad es la capacidad de una fuente para acceder los recursos, o de una entrada para alcanzar las salidas.

Es una característica estructural del conmutador



Accesibilidad total:

Todas las entradas pueden llegar a todas las salidas



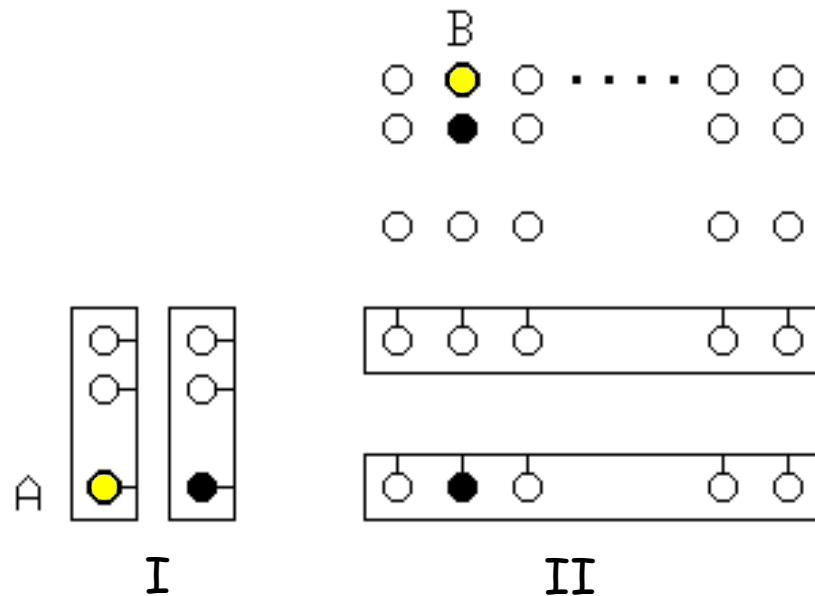
Accesibilidad restringida:

Las fuentes 1 y 2 sólo pueden alcanzar dos salidas

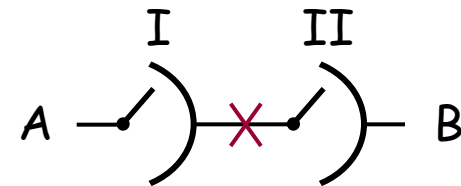


Accesibilidad y bloqueo

Bloqueo es una situación que se da cuando, existiendo una entrada y una salida libres, no es posible realizar la conexión porque no hay caminos por donde establecerla. Es una característica dinámica del conmutador



(Diagrama de pollitos)

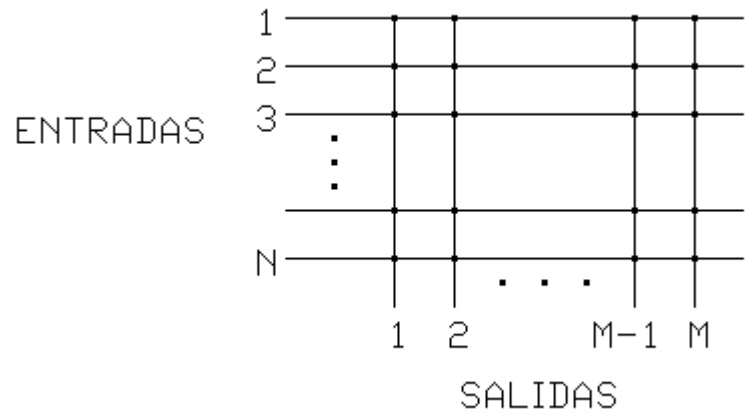


No es posible establecer la conexión entre A y B



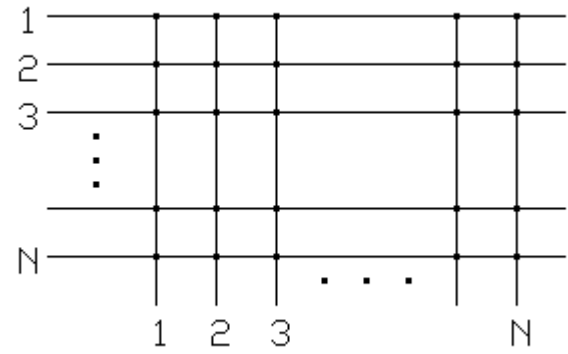
Conmutadores espaciales

La estructura más simple que se puede tener para un conmutador es un arreglo rectangular de puntos o matriz



Matriz rectangular $N \times M$

$$C = N \times M$$



Matriz cuadrada de orden N

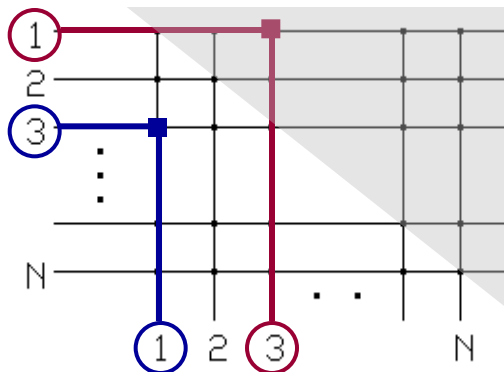
$$C = N^2$$

C: Número de puntos de cruce

Conmutadores espaciales

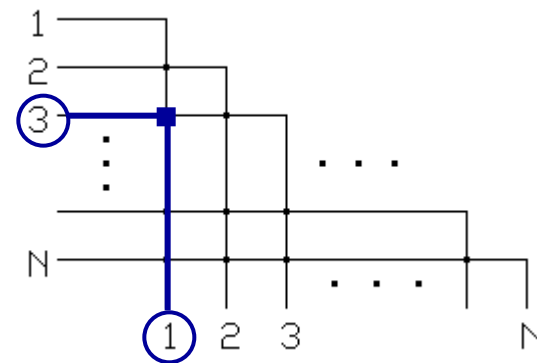
Si los órganos de entrada y salida son los mismos:
 hay dos puntos por cada par entrada-salida

Se puede entonces simplificar la matriz eliminando los puntos redundantes y la diagonal (que conecta un punto con él mismo)



Matriz cuadrada de orden N

$$C = N^2$$



Matriz triangular con
 diagonal suprimida

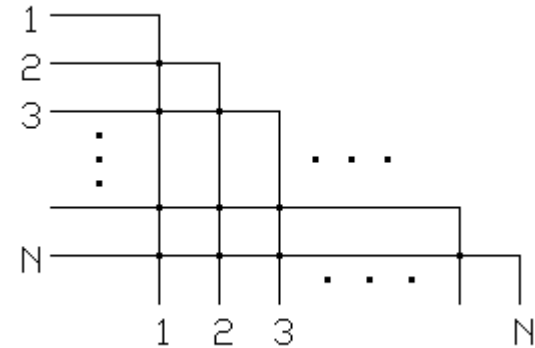
$$C = \frac{N \times (N-1)}{2}$$



Conmutadores espaciales

La matriz tiene
accesibilidad total y
bloqueo cero

Es el conmutador perfecto...



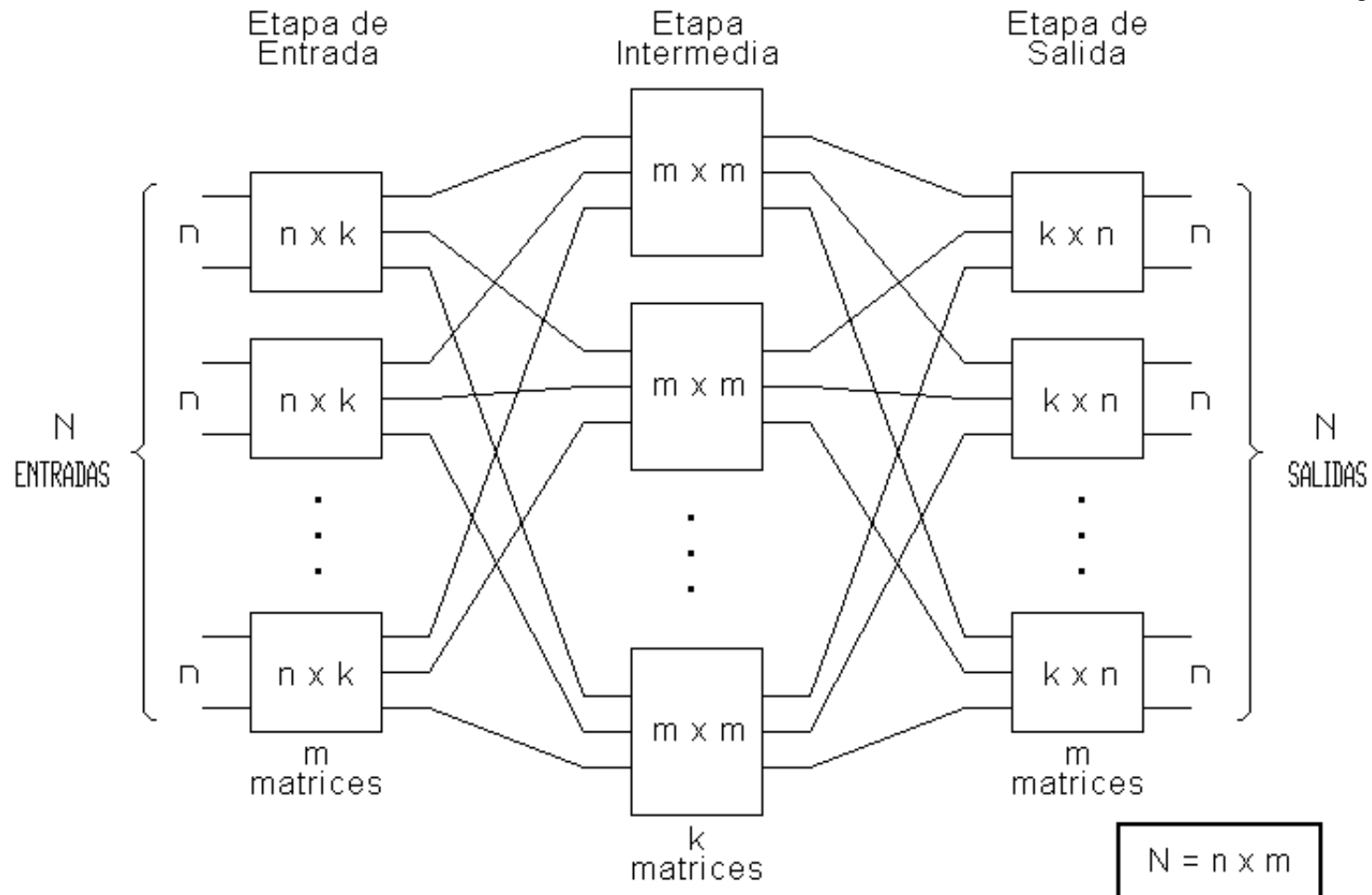
Pero tiene:

- Un gran número de puntos de cruce: $C \cong N^2$
- Baja utilización de los puntos de cruce: cada punto sólo para un par entrada-salida
- Baja confiabilidad: un solo punto para cada par entrada-salida

Los puntos de cruce deben ser utilizables por
múltiples pares entrada-salida: **Redes a etapas**

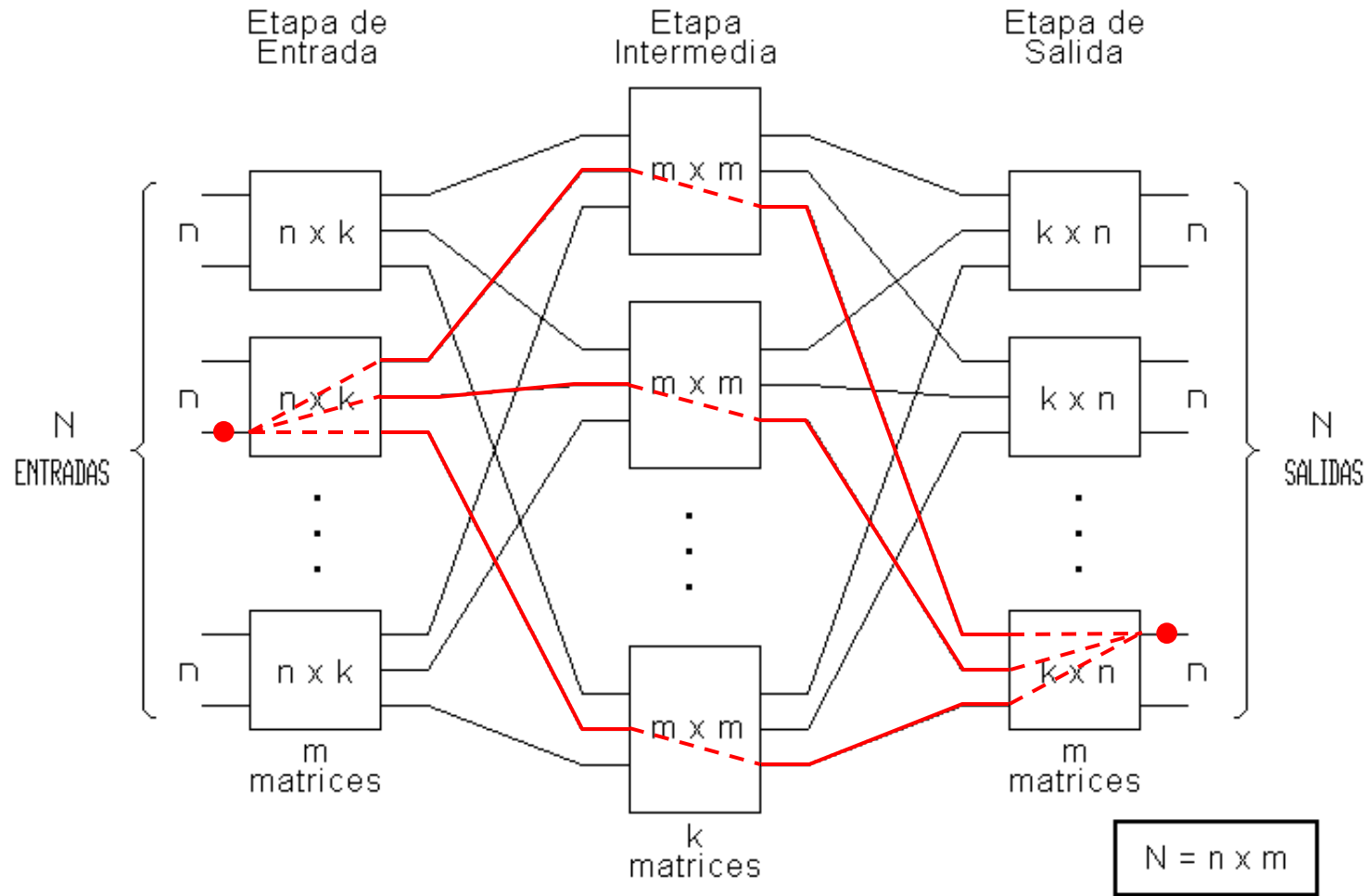


Red de Clos





Red de Clos



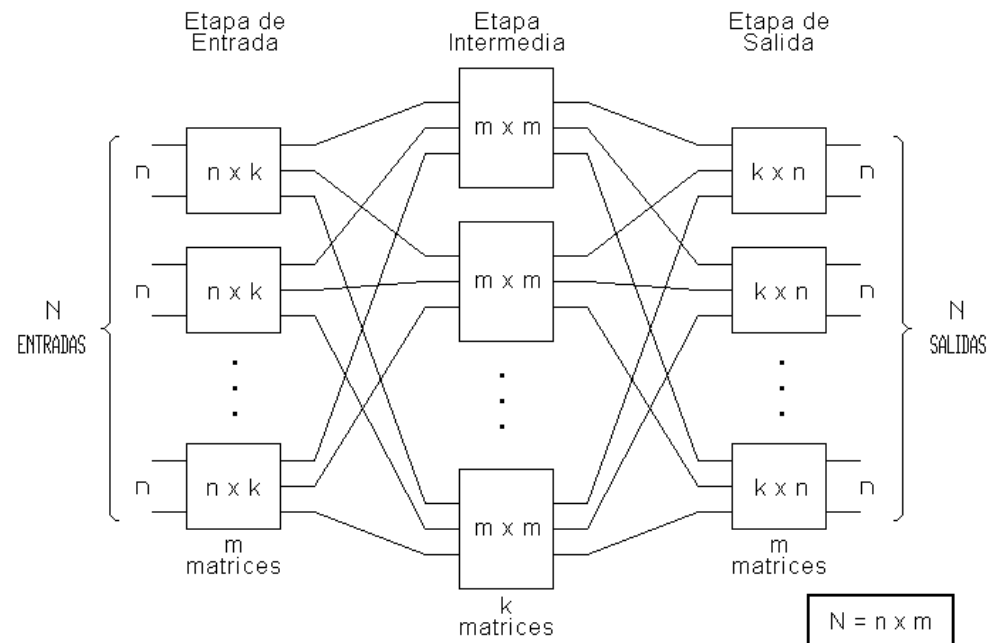


Red de Clos

- Red de tres etapas de matrices espaciales
- Las k matrices de la etapa intermedia provee caminos entre las etapas de entrada y salida
- Cada par entrada-salida tiene k posibles caminos
- Número de puntos de cruce:

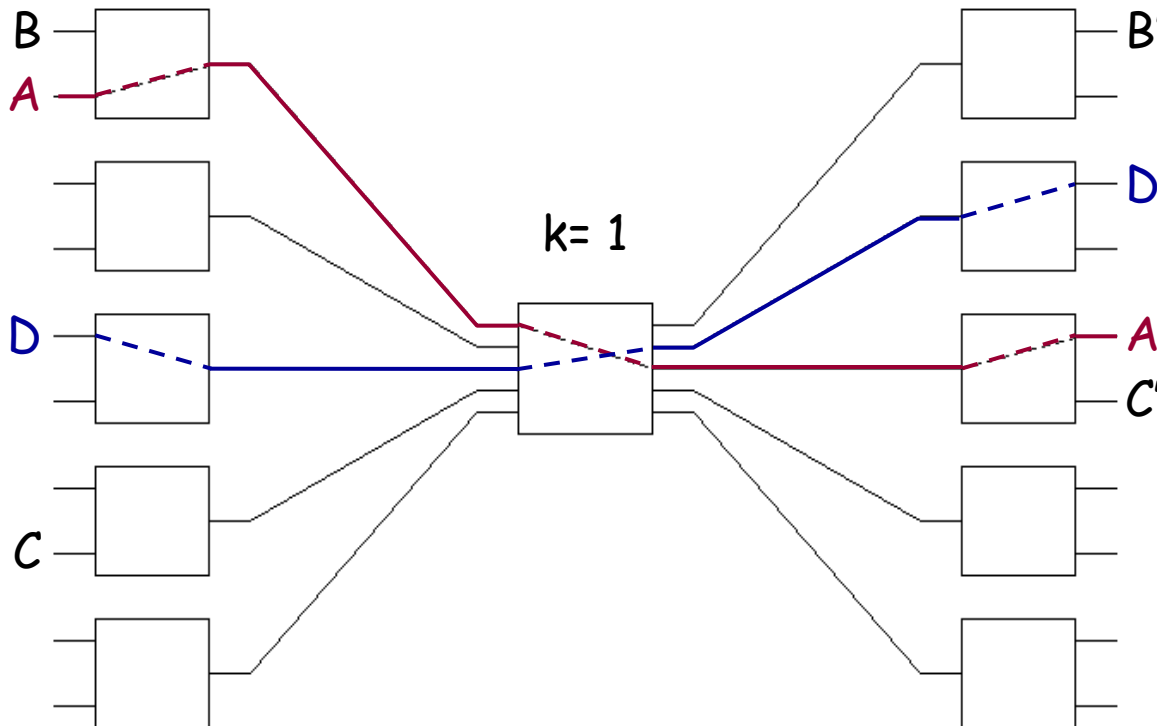
$$C = 2Nk + k \left(\frac{N}{n} \right)^2$$

N : No. de entradas/salidas
 n : Tamaño de cada grupo
 k : No. de arreglos intermedios





Red de Clos sin bloqueo



Con $k=1$ y
establecidas
A-A' y D-D'
No se pueden
establecer:

B-B': Bloqueo en la
primera etapa

C-C': Bloqueo en la
tercera etapa

El uso de puntos de cruce compartidos introduce la
posibilidad de bloqueo



Red de Clos sin bloqueo

Para obtener una Red de Clos sin bloqueo se requiere:

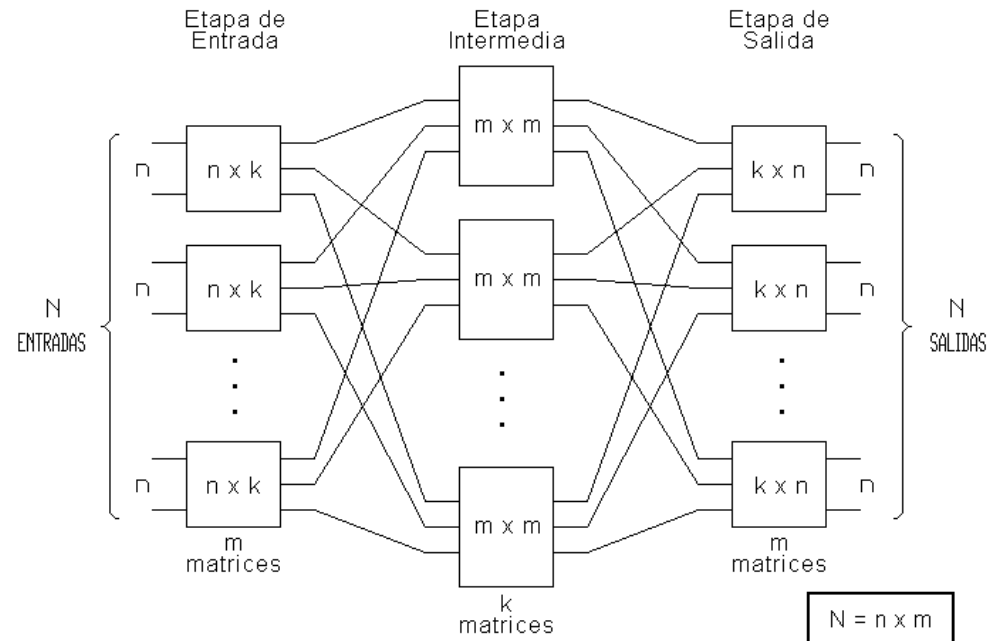
$$k = 2n - 1$$

En esta red, el número mínimo de puntos de cruce se obtiene con:

$$n = \sqrt{\frac{N}{2}} \quad (\text{para } N \text{ grande})$$

Número de puntos de cruce:

$$C_{\min} = 4N(\sqrt{2N} - 1)$$





Red de Clos con bloqueo

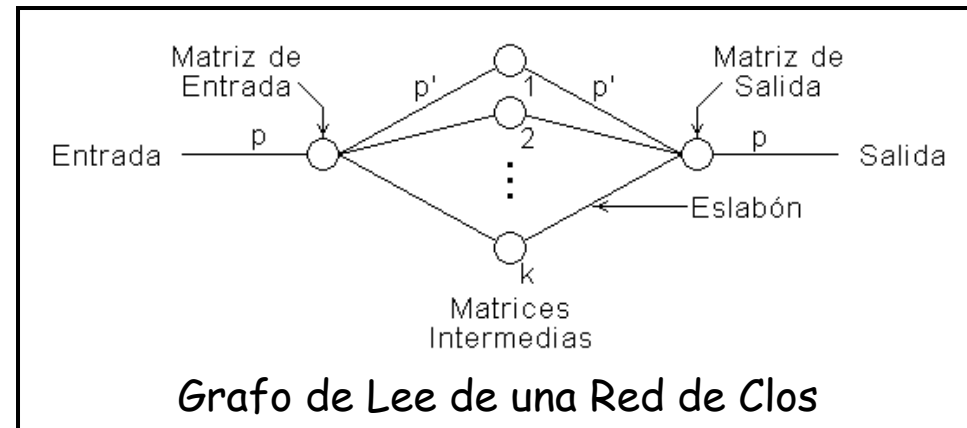
En sistemas telefónicos es posible optimizar los recursos de la red (en este caso, el tamaño del conmutador) admitiendo una cierta probabilidad de bloqueo.

Usando el método del grafo lineal propuesto por C.Y. Lee se puede obtener la siguiente expresión para calcular la **probabilidad de bloqueo** de una Red de Clos:

$$B = [1 - (1 - p \times n/k)^2]^k$$

Donde

p : Probabilidad de ocupación de una entrada



El grado de congestión del conmutador depende de:

- su arquitectura (n y k) y
- grado de ocupación de sus entradas (p)



Red de Cios con bloqueo

Número de puntos de cruce con $p= 0,1$ y $B= 0,002$

N	n	K	No. de Puntos de Cruce		Red de una etapa
			Con Bloqueo	Sin Bloqueo	
128	8	5	2.560	7.680 (k=15)	16.256
512	16	7	14.336	63.488 (K=31)	261.632
2.048	32	10	81.920	516.096 (K=63)	4,2 millones
8.192	64	15	491.520	4,2 millones (k=127)	67 millones
32.768	128	24	3,1 millones	33 millones (k=255)	1.000 millones
131.072	256	41	21,5 millones	268 millones (k=511)	1.700 millones

Número de puntos de cruce con $p= 0,7$ y $B= 0,002$

N	n	K	No. de Puntos de Cruce		Red de una etapa
			Con Bloqueo	Sin Bloqueo	
128	8	14	7.168	7.680 (k=15)	16.256
512	16	22	45.056	63.488 (K=31)	261.632
2.048	32	37	303.104	516.096 (K=63)	4,2 millones
8.192	64	64	2,1 millones	4,2 millones (k=127)	67 millones
32.768	128	116	15,2 millones	33 millones (k=255)	1.000 millones
131.072	256	215	113 millones	268 millones (k=511)	1.700 millones

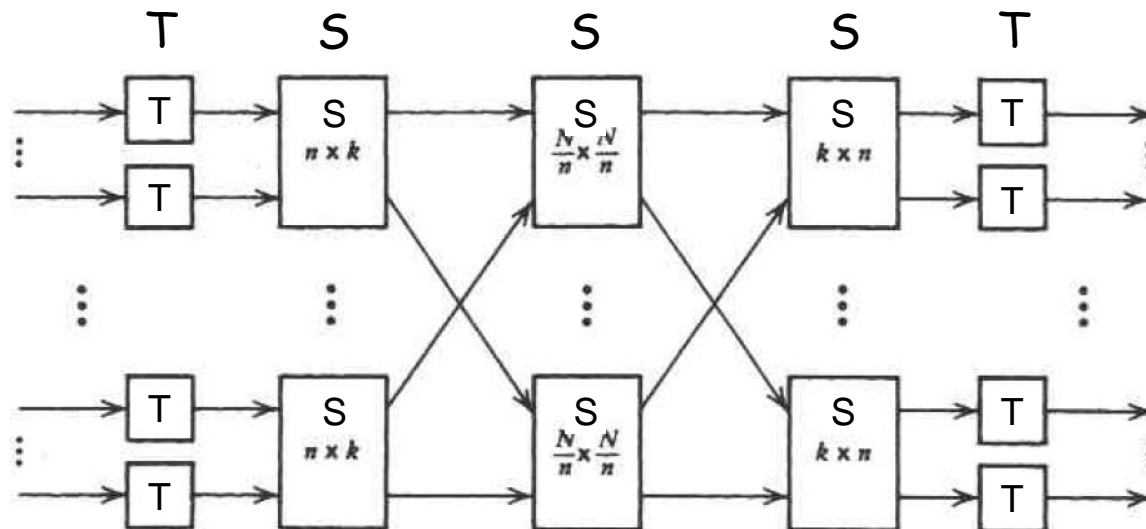
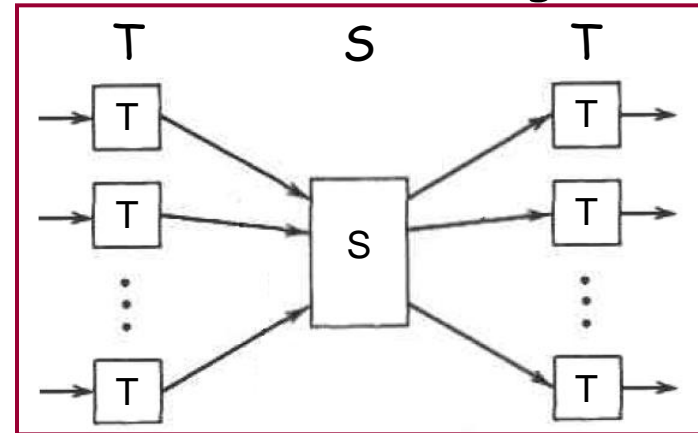
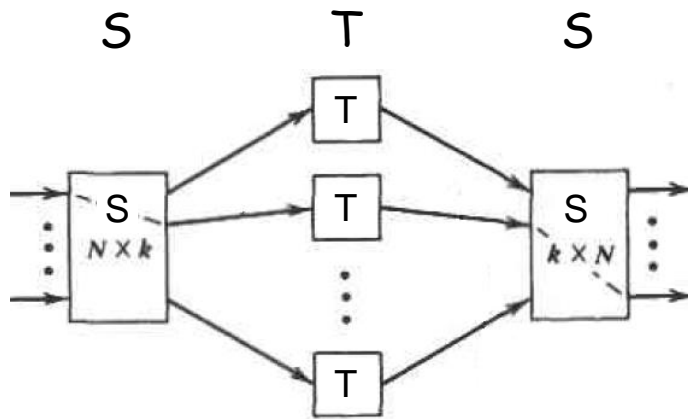
(Bellamy, 2000)



Conmutadores digitales a etapas

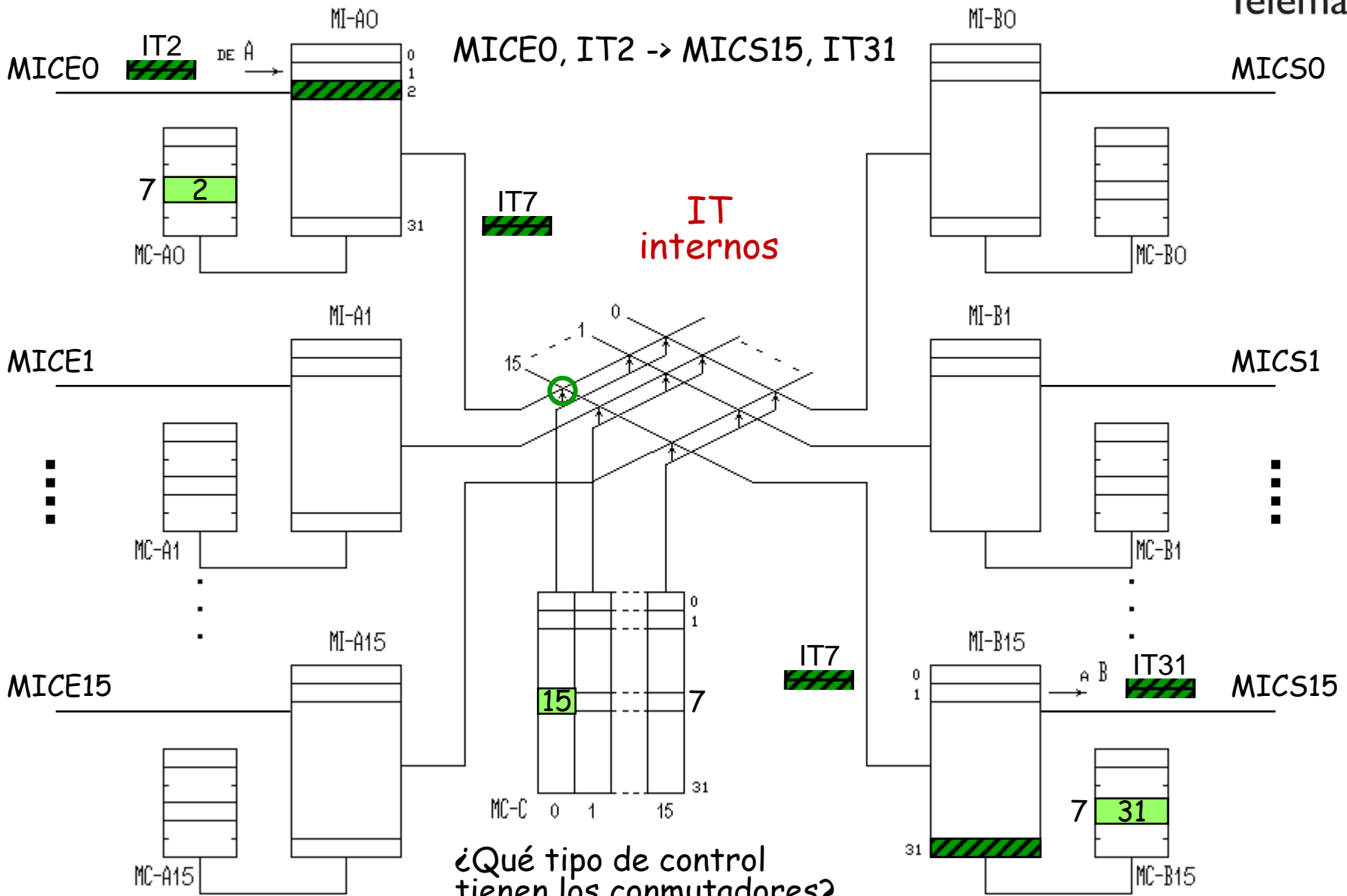
Existen múltiples configuraciones de conmutadores digitales combinando los conmutadores básicos S y T

Los más comunes son TST, y TSSST para redes mucho más grandes





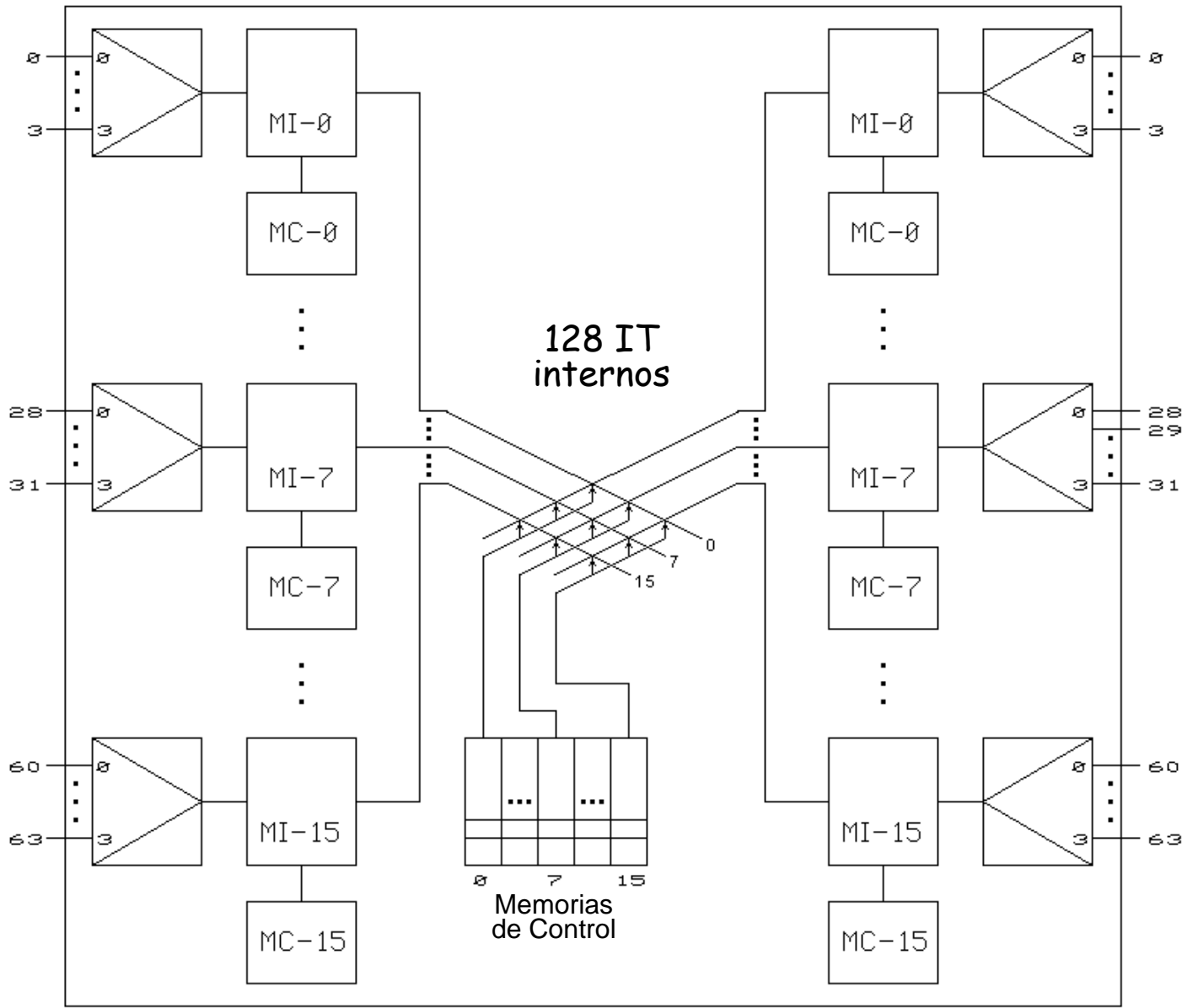
Conmutador digital TST



¿Qué tipo de control tienen los conmutadores?



Implementación del conmutador TST





Bibliografía

- A. Rendón (2010). "Conmutación Digital". En: "Sistemas de Conmutación: Fundamentos y Tecnologías", Cap. 3, Universidad del Cauca, Popayán, Colombia.
- John Bellamy (2000). "Digital Telephony". 3rd edition. John Wiley & Sons, New York, USA.